

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-351430

(P2002-351430A)

(43) 公開日 平成14年12月6日 (2002. 12. 6)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 F 9/30	3 3 0	G 0 9 F 9/30	3 3 0 Z 5 C 0 8 0
	3 3 8		3 3 8 5 C 0 9 4
9/35		9/35	

審査請求 未請求 請求項の数14 O L (全 38 頁) 最終頁に続く

(21) 出願番号 特願2001-161998(P2001-161998)

(22) 出願日 平成13年5月30日(2001. 5. 30)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 飛田 洋一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 平野 信行

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

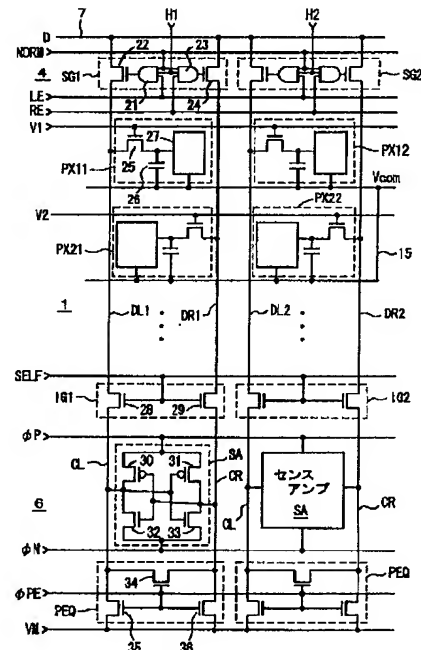
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 画素データの保持のための消費電力を低減する。

【解決手段】 表示画素マトリクス(1)内に配置される画素(PX)の列に対応して配置されるデータ線(DL, DR)に対し相補信号線(CL, CR)を配置する。リフレッシュモード時において、この画素のデータを相補信号線CLおよびCRに読出し、センスアンプ(SA)により差動増幅し、この差動増幅したデータを、元の画素に書込む。内部でリフレッシュを行ない、外部からのメモリに準備されたリフレッシュ用データを再書込する必要がなく、消費電流が低減される。



【特許請求の範囲】

【請求項 1】 行および列に配列される複数の画素素子、
各前記行に対応して配置され、各々が対応の行の画素素子に対する選択信号を伝達する複数の走査線、
前記列に対応して配置され、各々が対応の列の画素素子に対するデータ信号を伝達する複数のデータ線、
各々が前記画素素子に対応して配置され、かつ各々が対応の走査線の信号にตอบสนองして対応のデータ線のデータ信号を対応の画素素子に伝達する複数の選択トランジスタ、
各前記選択トランジスタに対応して配置され、対応の画素素子に印加される電圧を保持するための保持容量素子、およびリフレッシュ指示にตอบสนองして、前記保持容量素子の保持電圧を読み出し、該読み出した保持電圧信号に従って前記保持容量素子の保持電圧をリフレッシュするためのリフレッシュ手段を備える、表示装置。
【請求項 2】 前記リフレッシュ手段は、
前記リフレッシュ指示にตอบสนองして、前記データ線を各列に対応して配置される相補信号線対に結合するためのデータ線制御回路と、
前記リフレッシュ指示にตอบสนองして、選択的に活性化され、活性化時前記相補信号線対を所定電圧レベルに設定する電圧設定手段と、
前記リフレッシュ指示にตอบสนองして選択的に活性化され、活性化時対応の相補信号線対の電圧を差動増幅する差動増幅手段と、
前記リフレッシュ指示にตอบสนองして、前記走査線を所定の順序で選択状態に駆動してデータ線に対応の保持容量素子を結合する行選択手段を備える、請求項 1 記載の表示装置。
【請求項 3】 前記リフレッシュ手段は、
所定の周期でリフレッシュ要求を前記リフレッシュ指示にตอบสนองして生成するリフレッシュ要求手段と、
前記リフレッシュ指示にตอบสนองして前記データ線を選択的に、各列に対応して配置される相補信号を生成する相補信号線対に結合するデータ線制御回路と、
前記相補信号線対に対応して配置され、活性化時対応の相補信号線対を所定電位レベルに設定する電圧初期設定回路と、
活性化時、前記相補信号線対の電位を差動増幅する差動増幅回路と、
前記リフレッシュ要求信号にตอบสนองして、前記複数の走査線を所定の順序で選択して前記保持容量素子に対応のデータ線に結合する行選択手段と、
前記リフレッシュ要求信号にตอบสนองして、前記電圧初期設定手段および前記差動増幅手段を選択的に活性化するリフレッシュ制御回路を備える、請求項 1 記載の表示装置。
【請求項 4】 各列に対応して、相補データ信号が伝達

される第 1 および第 2 のデータ線の対が配置され、各前記走査線と前記第 1 および第 2 のデータ線の一方との交差部に対応して前記画素素子が配置され、かつ前記データ線対に対応して前記相補信号線が配置される、請求項 1 記載の表示装置。

【請求項 5】 前記走査線は、各行に対応して 2 本配列され、各行の画素素子は、隣接列の画素素子が異なる走査線に結合され、隣接列のデータ線が対をなすように配列され、

10 前記データ線制御回路は、前記対をなすデータ線を前記相補信号線対に結合し、

前記行選択手段は、前記リフレッシュ指示の活性化時、選択行において 1 本の走査線を選択して、各データ線対において 1 つのデータ線に保持容量素子が結合され、かつ前記行選択手段は、前記リフレッシュ指示の非活性化時においては、選択行において 2 本の走査線を同時に選択する、請求項 2 または 3 記載の表示装置。

【請求項 6】 各行において、前記対をなすデータ線において画素素子が結合されるデータ線と異なるデータ線に対し接続され、対応の保持容量素子と相補なデータに対応する電圧を保持する基準容量素子をさらに備える、請求項 5 記載の表示装置。

【請求項 7】 各前記画素素子は、対応の保持容量素子の保持電圧に従って選択的に導通し、導通時共通電極を対応の画素電極に結合する駆動トランジスタと、前記画素電極と対向電極との間に配置される液晶素子とを備える、請求項 1 記載の表示装置。

【請求項 8】 前記リフレッシュ手段は、さらに前記相補信号線対の差動増幅手段により増幅されたデータ信号を反転して対応の電圧保持容量素子に書き込む反転書込手段と、

前記画素素子の主電極に印加される電圧の極性を反転する極性反転手段とを備える、請求項 2 または 3 記載の表示装置。

【請求項 9】 前記リフレッシュ手段は、前記画素素子のすべてについて 1 回の保持電圧のリフレッシュが完了すると、前記画素素子の主電極の電圧極性を反転する、請求項 8 記載の表示装置。

【請求項 10】 前記画素素子は、対応の保持容量素子の保持電圧を一方電極に受ける液晶素子を含む、請求項 8 記載の表示装置。

【請求項 11】 前記画素素子は、前記保持容量素子の保持電圧に従って電流が供給されて発光する素子を含む、請求項 1 記載の表示装置。

【請求項 12】 前記複数のデータ線は隣接データ線が対をなすように配置され、

前記リフレッシュ手段は、前記リフレッシュ指示の活性化時においては対をなすデータ線の一方のデータ線に保持容量素子を結合し、該一方のデータ線に結合された保持容量素子の保持電圧をリフレッシュし、かつ通常動作

モード時において、対をなすデータ線の両データ線に保持容量素子を結合してこれらの保持容量素子にデータ線に伝達されたデータを書込む、請求項1記載の表示装置。

【請求項13】 テストモード時、前記対をなすデータ線の電圧信号を外部へ伝達するためのテスト出力回路をさらに備える、請求項12記載の表示装置。

【請求項14】 前記テストモード時、対をなすデータ線に前記電圧保持容量素子から読み出された電圧信号を差動増幅してラッチする差動増幅回路をさらに備え、前記テスト出力回路は、各対をなすデータ線の増幅電圧信号を外部に出力する、請求項13記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、画像を表示するための表示装置に関し、特に、画素に対応して配置される画素素子を容量の保持電圧により駆動する表示装置に関する。

【0002】

【従来の技術】従来、表示装置の1つとして、液晶表示装置（LCD：Liquid Crystal Display）が知られている。LCDにおいては、非晶質シリコン（a-Si）半導体薄膜または多結晶シリコン（p-Si）半導体薄膜を素材（活性層）として用い、この活性層にチャンネル部、およびソース部／ドレイン部が形成される薄膜トランジスタ（TFT：Thin Film Transistor）を用いた薄膜トランジスタ駆動方式液晶表示装置（TFT-LCD）が知られている。特に、表示画素に対し映像信号のスイッチとなるTFTを設けたアクティブマトリクス型液晶パネルは、このTFTのスイッチ動作により表示画素素子の駆動電圧が保持されるため、コントラストおよび応答速度性等の画質に優れており、静止画像および動画像を表示するための携帯型パーソナルコンピュータおよびデスクトップパーソナルコンピュータのモニタまたは投射型モニタなどに広く利用されている。

【0003】図44は、従来のカラー液晶表示装置の構成を概略的に示す図である。図44において、従来のカラー液晶表示装置は、赤（R）、緑（G）および青（B）の3色画素を含む単位表示画素1001が行列状に配列される液晶表示部1002と、この液晶表示部1002の走査線1010を順次選択する垂直走査回路1003と、液晶表示部1002の各列に映像信号を伝達する水平走査回路1006を含む。

【0004】液晶表示部1002においては、走査線が1010が液晶表示部1002の各単位表示画素行に対応して配置され、1本の走査線を選択する事により1行の単位表示画素1001が同時に選択される。

【0005】この液晶表示部1002においては、また、単位表示画素1001の各列に対応してデータ線1011が配列される。このデータ線1011は、R、G

およびBの3色画素それぞれに対して配置される。

【0006】垂直走査回路1003は、液晶表示部1002の走査線1010を順次選択するための信号を生成するシフトレジスタ回路1004と、シフトレジスタ回路1004の出力信号をバッファ処理して、走査線1010を選択状態へ駆動するバッファ回路1005を含む。シフトレジスタ回路1004へは、図示しない表示制御回路から垂直同期信号および水平同期信号が与えられ、この水平同期信号に従って走査線1010を垂直方向に順次走査する。垂直同期信号が与えられると再び先頭の走査線に戻って順次走査線を駆動する。垂直走査回路1003が走査線1010を駆動するシーケンスとしては、1行おきの走査線を順次選択状態へ駆動するインターレース方式および走査線1010を順次選択状態へ駆動するノンインターレース方式がある。

【0007】水平走査回路1006は、水平同期信号を分周して、この液晶表示部1002のデータ線を順次選択する信号をシフト動作により生成するシフトレジスタ回路1007と、シフトレジスタ回路1007の出力信号をバッファ処理するバッファ回路1008と、バッファ回路1008からの選択信号に従って導通し、映像処理部から共通画像データ線1013を介して与えられる映像信号（データ信号）を対応のデータ線1011に伝達するスイッチ回路1009を含む。この共通画像データ線1013へは、R、GおよびBの画素それぞれに対するデータ信号が並列に与えられる。

【0008】スイッチ回路1009も、R、GおよびBの3色画素それぞれに対して配置されるスイッチング素子SWを含み、バッファ回路1008の出力する選択信号に従って対応の列のR、GおよびBの3色画素それぞれに対して設けられる信号線1011に対し並列にデータ信号を伝達する。これにより、単位表示画素1001において、R、GおよびBの3色画素に対するデータが同時に書込まれ、そこに含まれる液晶が、この書込まれたデータに従って駆動される。

【0009】この単位表示画素1001においては、液晶を駆動するための電圧を保持するためのキャパシタが設けられており、このキャパシタが共通電極線1012に結合される。この共通電極線1012は、液晶表示部1002に含まれる単位表示画素1001に共通に配設される。

【0010】図45は、図44に示す単位表示画素1001の1色の単位色画素に対応する画素素子の構成を概略的に示す図である。図45において単位表示画素1001に含まれる単位色画素素子は、液晶素子1102と、走査線1010の信号に応答して導通し、液晶素子1102をデータ線1011に結合するサンプリングTFT1001と、サンプリングTFT1001を介して電圧保持ノード1106に与えられた電圧を保持するための電圧保持容量素子1103とを含む。この電圧保持

容量素子1103は、共通電極線1012と電圧保持ノード1106の間に接続される。

【0011】液晶素子1102は、電圧保持ノード1106と対向電極1105の間に接続され、この対向電極1105と電圧保持ノード1106の間の電圧に応じて、その透過度が変化し、応じて、この液晶素子1102に対して設けられるカラーフィルタの色の輝度を調整する。この液晶素子1102に対しては、寄生容量1104が存在する。次に、この図45に示す単位色画素素子の動作について簡単に説明する。

【0012】走査線1010上の信号により、サンプリングTFT1101がオン状態となると、信号線1011に図44に示す共通画像データ線1013を介して与えられるデータ信号が、このサンプリングTFT1101を介して電圧保持ノード1106に伝達される。この電圧保持ノード1106に伝達された電圧に従って電圧保持容量素子1103および寄生容量1104に電荷が蓄積される。

【0013】いわゆる点順次駆動の場合には、この走査線1010に接続される1行の単位画素1001が、図44に示す水平走査回路1006の出力信号に従って順次選択され、各選択単位画素素子に、データ信号が書込まれる。1つの走査線1010における単位画素に対するデータ信号の書込が完了すると、図44に示す垂直走査回路1003により、次の行の走査線1010が選択状態へ駆動され、次の行の単位画素に対するデータ信号の書込が行なわれる。

【0014】非選択状態の走査線1010の電圧は接地電圧または負電圧レベルであり、非選択状態の走査線1010に接続されるサンプリングTFT1101は、オフ状態を維持する。したがって、この電圧保持ノード1106に書込まれた電圧は、電圧保持容量素子1103および寄生容量1104により、垂直走査回路1003により次に走査されるまで保持される。

【0015】垂直走査回路1003が、この液晶表示部1002におけるすべての行（1フレームと称す）を走査した後、再び、この走査線1010に正の電圧が印加され、サンプリングTFT1101が導通状態となり、液晶素子1102および電圧保持容量素子1103に、対応のデータ信号線1011からサンプリングTFT1101を介して電圧が書込まれる。したがって、各単位表示画素は、1フレームごとに、順次保持電圧の書込が行なわれる。

【0016】液晶素子1102は、直流電圧が印加されると特性が劣化するため、液晶素子1102に対しては、交流駆動が行なわれる。すなわち、単位色画素に対する書込および電圧保持は、対向電極1105の電圧に対し正および負の極性の電圧を各フレームごとに交互にデータ信号線1011に対し書込むことにより行なわれる。

【0017】通常、このフレーム周波数は、60ヘルツであり、したがって、正および負の極性が反転された電圧が電圧保持ノード1106に印加されるため、液晶駆動周波数は、フレーム周波数の1/2倍の周波数となり、通常30ヘルツとなる。

【0018】この電圧保持ノード1106に書込まれて保持された電圧と対向電極1105の電圧との電圧差を時間平均することにより、液晶素子1102に実効的に印加される電圧 V_{rms} が決定される。この実効電圧 V_{rms} に従って液晶素子1102の配向状態が決定され、その液晶素子の光透過率が制御されて表示の状態が決定される。

【0019】30ヘルツの液晶駆動周波数の場合、フリッカと呼ばれるちらつきが表示画面上に現れることになり、表示画像品質が低下する。このようなフリッカを抑制するために、上下左右に隣り合う画素ごとに液晶駆動電圧の極性を交互に反転させることにより、フリッカを抑制する方式が従来取られている。

【0020】この液晶表示装置においては、1つの単位画素素子にデータ信号が書込まれ、次に再び書込が行なわれるまでの期間、すなわち1フレーム周期の間、液晶表示素子1102と保持容量素子1103により、書込まれた電圧を保持することが要求される。液晶表示素子1102の有限の抵抗率およびサンプリングTFT1101におけるリーク電流等により、この電圧保持ノード1106の電圧が低下する。

【0021】図46に示すように、通常の60ヘルツ(Hz)のフレーム周期で動作させた場合、1つの単位画素素子は、フレーム周期PF(=1/60秒)に保持電圧の書換が行なわれるため、その画素ノード(電圧保持ノード)の電圧の低下がわずかであり、画素の液晶素子の反射率(輝度)の変化は小さく、フリッカおよびコントラスト低下という表示品質の低下は十分に抑制される。ここで、図46において横軸に時間を示し、縦軸に単位色画素の反射率(輝度)を示す。

【0022】液晶表示装置においては、走査線とデータ信号線との交差部の容量、および配線(走査線およびデータ信号線)と対向基板上全面に形成された対向電極との間の液晶の容量を、サンプリングTFT1101の選択時間ごとに充放電を行なうために大部分の電流が消費される。垂直走査回路1003は、フレーム周波数・走査線数の周波数で動作し、また水平走査回路1006は、フレーム周波数・走査線数・データ信号線数の周波数で動作する。したがって、これらの配線間容量および配線と対向電極との間の容量の充放電がこれらの垂直走査回路1003および水平走査回路1006の動作周波数で充放電され、消費電力が大きくなる。この消費電力を低減するためには、これらの垂直走査回路1003および水平走査回路1006の動作周波数を低減するまたはこれらの走査回路1003および1006を間欠的に

動作させることが有効な手段と考えられる。

【0023】今、図47に示すように、1つの単位色画素に対し周期Pfrで書込を行なうように水平および垂直走査回路1003および1006の動作周波数を低下させた場合、画素ノード（電圧保持ノード）1106の電圧低下が極めて大きくなり、反射率（輝度）も大きく変化する。ここで、図47においても、横軸に時間を示し、縦軸に、反射率を示す。この反射率は、画素ノードの蓄積電圧に比例している。このような低速（低周波数）の書換による表示を行なった場合、画素ノード1106の電圧が大きく変化し、反射率（輝度）が大きく変化し、この電圧低下が、表示画面上でのフリッカとして観測され、表示画像品質が劣化する。また、この液晶素子に印加される平均電圧が低下し、良好なコントラストを得ることができなくなりまた低速書換えによる表示応答速度も低下するなど表示品質が低下するという問題が生じる。

【0024】上述のような動作周波数の低減による表示品質の劣化の問題を低減するための手法の1つが、特開平9-258168号公報に提案されている。

【0025】図48は、従来の液晶表示装置の1画素の構成を概略的に示す図である。図48において、表示画素は、走査線1010上の信号Gmに従って選択的に導通し、導通時データ信号線1011上のデータ信号Diを内部ノード1133に伝達するサンプリングTFT1131と、内部ノード1133と共通電極線1121の間に接続される電圧保持容量素子1132と、内部ノード1133の電圧にตอบสนองして選択的に導通し、導通時共通電極線1121と透明電極1135とを電気的に接続する画素駆動TFT1134と、対向電極駆動回路1122からの駆動電圧Vcntを受ける対向電極1136を含む。

【0026】この図48に示す表示画素が、行および列方向にマトリクス状に配列される。共通電極線1121は、この表示部に含まれる表示画素すべてに共通に結合され、共通電極駆動回路1120からの共通電極電圧Vcomを受ける。

【0027】対向電極1136は、表示画素パネル部に形成される表示画素に共通に、対向基板上全面に形成される。透明電極1135および対向基板の外部の両側に偏光板が配置され、また、それらの一方にバックライトが配置される。この図48に示す表示画素は、1色の表示画素であり、R、GおよびBの3色それぞれに対応してこの図48に示す表示画素が配置される。

【0028】次に、図48に示す表示画素の動作順序を、図49に示す信号波形図を参照して説明する。走査線選択回路により選択された走査線に、サンプリングTFT1131のしきい値電圧以上の電圧が走査線1010上に伝達されると、この走査線1010が選択され、この走査線1010に接続される1行の画素が同時に選

択される。点順次方式においては、データ書込回路から順次データ信号線1011上にデータ信号Diが伝達され、また線順次方式の場合、この走査線1010に接続される表示画素に同時に、対応のデータ信号Diが伝達される。

【0029】データ信号線1011上のデータ信号Diが、サンプリングTFT1131を介して電圧保持容量素子1132を充電すると、内部ノード1133の電圧Vmemが、書込まれたデータ信号Diに応じて変化する。図49においては、サンプリング時においてまず論理Hレベルの書込データ電圧が伝達された場合を示す。内部ノード1133の電圧レベルが論理Hレベルとなると、対応の画素駆動TFT1134が導通状態となり、透明電極1135が共通電極線1121に結合され、この透明電極1135の電圧Vdpが、共通電極線1121上の電圧Vcomに等しくなる。

【0030】一方、対向電極駆動回路1122から対向電極線1136へ与えられる対向電極電圧Vcntは、各サンプリング周期ごとに、その極性が変化する（隣接行において、信号電圧の極性を反転させ、フリッカの発生を抑制する）。この対向電極電圧Vcntに従って、透明電極1135と対向電極1136の間の電圧Vlcdが変化し、液晶の配向状態が変化し、オン状態となる。

【0031】一方、サンプリング電圧Vmemが論理Lレベルのときには、画素駆動TFT1134が非導通状態であり、表示電極となる透明電極1135と共通電極線1121とが切離され、この対向電極1136上の電圧（液晶駆動電圧Vcnt）は、液晶に印加されないため（液晶の電極間電圧は、論理Lレベルであり、液晶は非導通状態を維持する）。

【0032】したがって、この図48に示す表示画素の構成においては、表示状態を制御するための信号電圧として、電圧保持容量素子に印加されるデータ信号Diが利用される。この電圧保持容量素子1132に一旦蓄積された電荷は、対応の走査線1010が次に選択されるまでの期間（1フレーム期間）において、このサンプリングTFT1131およびサンプリングキャパシタ（電圧保持容量素子）1132のリーク電流により徐々に減少する。しかしながら、内部ノード1133の電圧が画素駆動TFT1134のしきい値電圧を超えて低下するまでは、画素駆動TFT1134は導通状態を維持するため、透明電極1135と共通電極1121とは電気的に結合され、その表示状態は変化しない。

【0033】この図48に示す構成に従えば、表示内容を書換える場合にのみ、走査線1010およびデータ信号線1011を駆動することが要求される。画素素子の表示状態を変更しない場合には、共通電極線1121および対向電極1136の間にのみ、液晶駆動電圧（Vcnt）を印加することにより、その表示状態を維持し、

走査線およびデータ信号線を駆動する必要性をなくし、消費電力を低減することを図る。

【0034】

【発明が解決しようとする課題】この図48に示す表示画素の構成においては、データ信号（サンプリング電圧） V_{mem} は、画素駆動TFT1134、電圧保持容量素子1132における絶縁リーク電流、およびサンプリングTFT1131のオフリーク電流により徐々に低下する。この内部ノード1133の電圧レベルが低下し画素駆動TFT1134がオフ状態となると表示状態が変化するため、その表示を変更しない場合には、周期的にサンプリング電圧の書換（リフレッシュ）を行なう必要がある。

【0035】図50は、従来の表示システムの構成の一例を示す図である。図50において、この表示システムは、画像の表示を制御するプロセッサ（CPU）1200と、このプロセッサ1200の制御の下に、図示しない画像信号処理部からの画像データを格納しかつ順次格納した画像データを出力する外部メモリ1202と、この外部メモリ1202からの画像データに従って画像表示を行なう表示装置1204を含む。

【0036】表示装置1204は、図48に示す表示画素で構成される表示パネルを有する。外部メモリ1202は、たとえばスタティック・ランダム・アクセス・メモリ（SRAM）またはビデオメモリで構成され、この表示装置1204に対する画像データを格納する。表示装置1204の表示状態が変化しない場合には、この外部メモリ1202にリフレッシュ用の画像データが格納されている。したがって、この表示装置1204において、各表示画素のサンプリング電圧（保持電圧） V_{mem} をリフレッシュする場合には、外部メモリ1202に格納されている画像データを読み出して表示装置1204へ与える必要がある。この外部メモリ1202がSRAMで構成される場合、そのコストは比較的高く、また、リフレッシュ時において、外部メモリ1202と表示装置1204の間で画素データ信号が転送されるため、外部メモリ1202と表示装置1204の間の配線および外部メモリ1202内で電力が消費され、リフレッシュのための消費電力が大きいという問題が生じる。

【0037】それゆえ、この発明の目的は、表示品質を劣化させることなく、消費電力を十分に低減することのできる表示システムを構築することのできる表示装置を提供することである。

【0038】この発明の他の目的は、表示システムのコストおよびサイズを低減することのできる表示装置を提供することである。

【0039】この発明のさらに他の目的は、長期にわたって安定に表示画像を維持する事のできる低消費電流の表示装置を提供する事である。

【0040】

【課題を解決するための手段】この発明に係る表示装置は、行および列に配列される複数の画素素子と、各行に対応して配置され、各々が対応の行の画素素子に対する選択信号を伝達する複数の走査線と、画素素子の列に対応して配置され、各々が対応の列の画素素子に対するデータ信号を伝達する複数のデータ線と、各画素素子に対応して配置され、各々が対応の走査線の信号にตอบสนองして対応のデータ線のデータ信号を対応の画素素子に伝達する複数の選択トランジスタと、各選択トランジスタに対応して配置され、対応の画素素子に印加される電圧を保持するための保持容量素子と、リフレッシュ指示にตอบสนองして、保持容量素子の保持電圧を読み出し、該読み出した保持電圧信号に従って該保持容量素子の保持電圧をリフレッシュするためのリフレッシュ手段を備える。

【0041】好ましくは、リフレッシュ手段は、リフレッシュ指示にตอบสนองして、データ線を各列に対応して配置される相補信号線対に結合するためのデータ線制御回路と、このリフレッシュ指示にตอบสนองして、選択的に活性化され、活性化時各相補信号線対を所定電圧レベルに設定する電圧設定手段と、リフレッシュ指示にตอบสนองして選択的に活性化され、活性化時対応の相補信号線対の電圧を差動増幅する差動増幅手段と、リフレッシュ指示にตอบสนองして、走査線を所定の順序で選択状態に駆動してデータ線に対応の保持容量素子を結合する行選択手段を備える。

【0042】これに代えて、好ましくは、リフレッシュ手段は、所定の周期でリフレッシュ要求をリフレッシュ指示にตอบสนองして生成するリフレッシュ要求手段と、リフレッシュ指示にตอบสนองしてデータ線を選択的に、各列に対応して配置される相補信号を生成する相補信号線対に結合するデータ線制御回路と、各相補信号線対に対応して配置され、活性化時対応の相補信号線対を所定電位レベルに設定する電圧初期設定回路と、活性化時、各相補信号線対の電位を差動増幅する差動増幅回路と、リフレッシュ要求信号にตอบสนองして、複数の走査線を所定の順序で選択して保持容量素子に対応のデータ線に結合する行選択手段と、リフレッシュ要求信号にตอบสนองして、電圧初期設定手段および差動増幅手段を選択的に活性化するリフレッシュ制御回路を備える。

【0043】好ましくは、各列に対応して、相補データ信号が伝達される第1および第2のデータ線の対が配置され、各前記走査線と前記第1および第2のデータ線の一方との交差部に対応して前記画素素子が配置される。このデータ線対に対応して相補信号線対が配置される。

【0044】これに代えて、好ましくは、走査線が、各行に対応して2本配列され、各行の画素素子は、隣接列の画素素子が異なる走査線に結合され、隣接列のデータ線が対をなすように配列される。データ線制御回路は、対をなすデータ線を前記相補信号線対に結合し、行選択手段は、リフレッシュ指示の活性化時、選択行において

1本の走査線を選択して、各データ線対において1つのデータ線に保持容量素子を結合し、かつこの行選択手段は、リフレッシュ指示の非活性化時においては、選択行において2本の走査線を同時に選択する。

【0045】好ましくは、各行において、対をなすデータ線において画素素子が結合されるデータ線と異なるデータ線に対し、対応の保持容量素子と相補なデータに対応する電圧を保持する基準容量素子が接続される。

【0046】好ましくは、各画素素子は、対応の保持容量素子の保持電圧に従って選択的に導通し、導通時共通電極を対応の画素電極に結合する駆動トランジスタと、この画素電極と対向電極との間に配置される液晶素子とを備える。

【0047】また、好ましくは、リフレッシュ手段は、さらに相補信号線対の差動増幅手段により増幅されたデータ信号を反転して対応の電圧保持容量素子に書き込む反転書込手段と、画素素子の主電極に印加される電圧の極性を反転する極性反転手段とを備える。

【0048】好ましくは、このリフレッシュ手段は、画素素子のすべてについて1回の保持電圧のリフレッシュが完了すると、各画素素子の主電極の電圧極性を反転する。

【0049】好ましくは、画素素子は、対応の保持容量素子の保持電圧を一方電極に受ける液晶素子を含む。

【0050】また、これに代えて、好ましくは、画素素子は、保持容量素子の保持電圧に従って電流が供給されて発光する素子を含む。

【0051】好ましくは、複数のデータ線は隣接データ線が対をなすように配置される。この構成において、リフレッシュ手段は、好ましくは、リフレッシュ指示の活性化時においては対をなすデータ線の一方のデータ線に保持容量素子を結合し、該一方のデータ線に結合された保持容量素子の保持電圧をリフレッシュし、かつ通常動作モード時において、対をなすデータ線の両データ線に保持容量素子を結合してこれらの保持容量素子にデータ線に伝達されたデータを書込む。

【0052】好ましくは、テストモード時、対をなすデータ線の電圧信号を外へ伝達するためのテスト出力回路がさらに設けられる。

【0053】好ましくは、このテストモード時、対をなすデータ線に保持容量素子から読み出された電圧信号を差動増幅してラッチする差動増幅回路がさらに設けられる。テスト出力回路は、各対をなすデータ線の増幅電圧信号を外部に出力する。

【0054】表示装置内部において電圧保持容量素子（サンプリング容量）が保持する電圧を読出し、該読出した電圧に従って電圧保持容量素子の保持する電圧を復元（再生）しており、表示装置内部において正確に保持電圧をリフレッシュすることができ、外部にリフレッシュ用のメモリを設ける必要がなく、消費電力およびシス

テムサイズを低減することができる。

【0055】また、通常のDRAM（ダイナミック・ランダム・アクセス・メモリ）において用いられるリフレッシュ制御回路と同様の構成を利用することにより、複雑な回路構成を新規に配置する必要がなく、信頼性の高いリフレッシュ回路を実現することができる。

【0056】また、表示素子としては、液晶素子、エレクトロルミネッセンス素子、および液晶駆動回路付画素素子のいずれが用いられても、正確に保持電圧のリフレッシュを実行することができる。

【0057】

【発明の実施の形態】〔実施の形態1〕

【0058】図1は、この発明の実施の形態1に従う表示装置の全体の構成を概略的に示す図である。図1において、表示装置は、行列状に配列される複数の画素素子を含む表示画素マトリクス1と、この表示画素マトリクス1の行を順次選択する垂直走査回路2と、水平クロック信号HCKに従って、表示画素マトリクス1の列を順次選択する信号を生成する水平走査回路3と、画像データDを伝達する画像データバス（共通画像データ線）7の各信号線を水平走査回路3の出力信号に従って表示画素マトリクス1の列に順次接続する接続制御回路4と、活性化時表示画素マトリクス1の各表示画素の保持電圧をリフレッシュするリフレッシュ回路6と、リフレッシュ指示信号SELFに従ってリフレッシュ回路6、接続制御回路4および垂直走査回路2の動作を制御するリフレッシュ制御回路5を含む。

【0059】水平走査回路3は、水平走査開始指示信号STHにตอบสนองして、水平クロック信号HCKに従ってシフト動作を行なう水平シフトレジスタ11と、この水平シフトレジスタ11の各出力信号を受け、多重選択禁止信号INHに従って、選択列が非選択状態となった後に次の選択列を選択状態へ駆動するバッファ回路12を含む。

【0060】水平シフトレジスタ11は、水平シフトクロック信号HCKに従ってシフト動作を行なっている。したがって、隣接出力ノードが同時に論理Hレベルの選択状態となる期間が存在する。バッファ回路12は、シフト動作時において選択列が変更される場合に隣接出力ノードが同時に論理Hレベルとなるのを禁止し、表示画素マトリクス1における列の多重選択を禁止する。水平走査開始指示信号STHは、水平走査期間ごとに発生され、この水平走査開始指示信号STHを水平走査シフトレジスタ11内をシフトする事により列選択信号が生成され、各選択行において、先頭列からの走査が行われる。

【0061】接続制御回路4は、通常動作時においては、画像データバス（共通画像データ線）7上の画像データDを、バッファ回路12の列選択信号に従って順次選択して表示画素マトリクス1の対応の選択列上に伝達

する。一方、リフレッシュモード時においては、この接続制御回路4は、非導通状態となり、画像データバス7と表示画素マトリクス1とを切離す。

【0062】リフレッシュ制御回路5は、リフレッシュ指示信号SELFの活性化時リフレッシュ回路6を活性化し、表示画素マトリクス1の各表示画素素子の保持電圧のリフレッシュを実行する。このリフレッシュ制御回路5は、リフレッシュモード時においては、垂直走査回路2に対するシフト動作に必要な各種クロック信号を生成する。これらのリフレッシュ時における垂直走査回路2の垂直走査を行なうための信号は、リフレッシュ時においても外部から与えられても良い。

【0063】シフトクロック切換回路8は、活性状態のリフレッシュ指示信号SELFに従って、外部からのシフトクロック信号に代えてリフレッシュ制御回路5からのシフトクロック信号を垂直走査回路2へ与える。

【0064】この図1に示す表示装置においては、リフレッシュ回路6により、表示画素マトリクス1における画素素子の保持電圧がリフレッシュされるため、外部に設けられたメモリの記憶するリフレッシュ用のデータを新たにリフレッシュのために読み出して表示画素マトリクス1へ書込む必要がなく、消費電力が低減される（単に内部動作が行なわれるだけであるため）。また、表示装置内部において保持電圧をリフレッシュする事ができるため、表示画像の変更がない場合において、内部において長期にわたって保持電圧を保持でき、表示画像の品質低下が生じるのを防止する事ができる。

【0065】図2は、図1に示す表示画素マトリクス1およびリフレッシュ回路6の構成をより具体的に示す図である。図2において、表示画素マトリクス1においては、行列状に画素PXが配列される。図2においては、2行2列に配列される画素PX11、PX12、PX21およびPX22を代表的に示す。列方向に整列する画素PX（画素PX11…を代表的に示す）に対して、相補データ信号線DLおよびDRが配置される。すなわち、画素PX11およびPX21に対しては、データ信号線DL1およびDR1が配置され、画素PX12およびPX22に対しては、データ信号線DL2およびDR2が配置される。

【0066】これらの画素PXは、各行ごとに、対応の相補データ線対のデータ線に交互に接続される。すなわち、奇数行に配列される画素PX11およびPX12は、データ信号線DL1およびDL2にそれぞれ結合され、偶数行に配列される画素PX21およびPX22は、データ信号線DR1およびDR2にそれぞれ接続される。これらの画素PXに対し共通に共通電極線15を介して共通電極電圧Vcomが与えられる。

【0067】画素PXは、同一構成を有するため、図2においては、画素PX11に対してのみ、その構成要素に参照番号を付す。図2において、画素PX（PX1

1）は、走査線上の走査信号V1に従って導通し、対応のデータ信号線DL1を内部ノードに結合するサンプリングTFT25と、このサンプリングTFT25を介して与えられた電圧信号を保持するための電圧保持容量素子26と、電圧保持容量素子26により保持された電圧により内部に含まれた液晶素子を駆動する液晶駆動部27を含む。

【0068】電圧保持容量素子26の主電極には、共通電極線を介して共通電極電圧Vcomが与えられる。

【0069】奇数行に配列される画素PX11、PX12においては、サンプリングTFT25が、データ信号線DL（DL1、DL2）に与えられたデータ信号を取り込み内部ノードに伝達する。一方、偶数行に配列された画素PX21、PX22においては、サンプリングTFT25が、データ信号線DR（DR1、DR2）に伝達されたデータ信号を内部ノードに伝達する。

【0070】画素の各列に対応して相補データ線対を配置することにより、各画素PXに格納された書込電圧（保持電圧）を読み出して差動増幅して元の保持電圧を復元し、各画素PXの保持電圧をリフレッシュする。

【0071】接続制御回路4は、相補データ信号線対DLおよびDRに対応して設けられる切換回路SG（SG1、SG2）を含む。切換回路SG1およびSG2へは、それぞれ、図1に示すバッファ回路12からの列選択信号（水平走査信号）H1およびH2がそれぞれ与えられる。これらの切換回路SG1およびSG2は、選択走査線に応じて活性化される左イネーブル信号LEと右イネーブル信号REとに従って共通画像データ線7と相補データ信号線DLおよびDRの接続を切換える。なお、画像データバス7においては、3色それぞれに対して画像データが転送されるが、図2においては、1色の画像データに対する構成を示しているため、画像データバス7を以下、共通画像データ線7と称す。

【0072】これらの切換回路SG1およびSG2は、同一構成を有するため、図2においては、切換回路SG1に対して、その構成要素に対し参照番号を付す。

【0073】切換回路SG1は、通常動作モード指示信号NORMと左イネーブル信号LEと列選択信号H1とを受けるAND回路21と、AND回路21の出力信号が論理Hレベルのとき導通し、導通時共通画像データ線7を内部データ信号線DL1に接続する転送ゲート22と、通常動作モード指示信号NORMと右イネーブル信号REと水平走査信号H1とを受けるAND回路23と、AND回路23の出力信号が論理Hレベルのとき導通し、導通時共通画像データ線7を内部データ信号線DR1に接続する転送ゲート24を含む。

【0074】通常動作モード指示信号NORMは、これらの画素PXに画素データを書込む通常動作モード時に活性化され、リフレッシュを行なうリフレッシュモード時においては、ローレベルに設定される。左イネーブル

信号LEは、奇数行の画素が選択されるときに活性化され（ハイレベルに設定され）、右イネーブル信号REは偶数行の画素が選択されるときにハイレベルに設定される。これらの右イネーブル信号REおよび左イネーブル信号LEは、したがって走査線上の行選択信号（垂直走査信号）V1、V2に従って活性化される。すなわち、左イネーブル信号LEは、偶数行の走査線上に伝達される行選択信号V1（VO）が活性状態のときに活性化され、右イネーブル信号REは、奇数行の行選択信号V2（VE）が活性化されるときに活性化される。

【0075】これにより、各画素列に対応して相補内部データ信号線対を配置した場合においても、正確に、垂直走査信号（行選択信号）Vおよび水平走査信号（列選択信号）Hに従って各画素に通常動作モード時において画素データを書込むことができる。

【0076】リフレッシュ回路6は、相補データ信号線DLおよびDRに対応して設けられる相補信号線CLおよびCRと、リフレッシュ指示信号SELFの活性化時導通し、相補データ信号線DLおよびDRを相補信号線CLおよびCRに接続する分離ゲートIG（IG1、IG2）と、相補信号線CLおよびCRの対それぞれに対応して設けられ、活性化時対応の相補信号線CLおよびCRの信号を差動増幅しかつラッチするセンスアンプSAと、相補信号線CLおよびCRに対応して設けられ、活性化時対応の相補信号線CLおよびCRを所定のプリチャージ電圧VMにプリチャージしかつイコライズするプリチャージ／イコライズ回路PEQを含む。

【0077】分離ゲートIG（IG1、IG2）は、リフレッシュ指示信号SELFの活性化時導通し、データ信号線DLおよびDRを相補信号線CLおよびCRにそれぞれ接続する転送ゲート28および29を含む。このリフレッシュ指示信号SELFは通常動作モード指示信号NORMと相補な信号であり、通常動作時においては、このリフレッシュ指示信号SELFは論理レベルの非活性状態にあり、分離ゲートIG（IG1、IG2）は、非導通状態にあり、相補信号線CLおよびCRは対応の相補データ信号線DLおよびDRから分離される。

【0078】センスアンプSAは、ゲートおよびドレインが交差結合されかつそれらの共通ソースにセンスアンプ駆動信号φPを受けるPチャンネルTFT（薄膜トランジスタ）30および31と、そのゲートおよびドレインが交差結合されかつ共通ソースにセンスアンプ駆動信号φNを受けるNチャンネルTFT32および33を含む。TFT30および32がインバータ回路を構成し、TFT31および33が別のインバータ回路を構成し、このセンスアンプSAは、活性化時、相補信号線CLおよびCRの電位を差動増幅してラッチする。

【0079】プリチャージ／イコライズ回路PEQは、プリチャージ／イコライズ信号φPEの活性化時導通

し、相補信号線CLおよびCRを電氣的に短絡するNチャンネルMOSトランジスタ34と、プリチャージ／イコライズ指示信号φPEの活性化時導通し、相補信号線CLおよびCRへそれぞれプリチャージ電圧VMを伝達するNチャンネルTFT35および36を含む。このプリチャージ電圧VMは、画素PXに書込まれる論理H（ハイ）レベル電圧および論理L（ロー）レベル電圧の中間の電圧レベルに設定される。

【0080】内部データ信号線DLおよびDRにおいては、ほぼ同数の画素が接続される。通常、走査線は512本などの偶数本であり、これらの内部データ信号線DLおよびDRに、同数の画素PXを接続することができ、応じて、これらの内部データ信号線DLおよびDRの寄生容量の大きさを同じとすることができる。

【0081】図3は、図2に示す画素PXに含まれる液晶駆動部27の構成を概略的に示す図である。図3において、液晶駆動部27は、内部画素ノード27cの電圧レベルに応答して選択的に導通し、導通時共通電極線15を透明電極（画素電極）27bに電氣的に接続する画素駆動トランジスタ（TFT）27aを含む。

【0082】この透明電極27bに対向して対向電極40が設けられ、この対向電極40には、液晶駆動電圧Vcntが与えられる。この対向電極40は、表示画素マトリクス1の対向基板全面にわたって各画素に対向して配置される。図3においては、1つの画素の透明電極27bに対向して配置される対向電極40の部分に破線で示す。内部画素ノード27cが電圧保持容量素子26の電圧保持電極に接続される。

【0083】図4は、液晶駆動部27の断面構造の1例を概略的に示す図である。この図4に示す液晶駆動部の構成は、透過型液晶の構造を示す。しかしながら、他の反射型液晶構造が用いられてもよい。図4において、液晶駆動部27は、ガラス基板43上に形成される透明電極（ITO）27bと、この透明電極27bと同様ガラス基板43上に形成される画素駆動TFT27aと、透明電極27b上に形成される液晶44と、液晶44上に各画素に共通に基板全面にわたって形成される対向電極40と、対向電極40上に形成されるカラーフィルタ42を含む。この対向電極40においては、隣接画素を分離するためのブラックマトリクスを形成する金属層41が形成される。カラーフィルタ42においては、R、GおよびBの各カラーフィルタが配置される。

【0084】液晶上部および下部に偏光板が配置されるが、図4においては、図面を簡略化するために示していない。また、透過型液晶構造の場合、さらに、図示しないバックライトガラス基板下部に設けられる。

【0085】対向電極40に画素駆動電圧Vcntが与えられ、透明電極27bに対しては、画素駆動TFT27aを介して共通電極電圧Vcomが与えられる。

【0086】したがって、この内部ノード27cにおい

ては論理論理Hレベルおよび論理論理Lレベルの2値の画素データ信号が保持される。図2に示すセンスアンプSAを用いて、この2値レベルの画素データ(保持電圧)を復元し、その復元した電圧を元の画素に再書込する。ここで、以下の説明においては、「リフレッシュ」は、画素PXの保持電圧を読み出してもとの電圧レベルを復元し、この復元した電圧を元の画素PXに再書込みする動作を示す。

【0087】図5は、図1に示すシフトクロック切換回路8の構成の一例を示す図である。図5において、シフトクロック切換回路8は、通常動作モード指示信号NORMとリフレッシュ指示信号SELFに従って通常垂直走査信号φVNとリフレッシュ垂直走査信号φVSの一方を選択して垂直走査クロック信号VCKを生成する選択回路8aと、通常動作モード指示信号NORMとリフレッシュ指示信号SELFに従って通常垂直走査開始信号STVNとリフレッシュ垂直走査開始信号STVSの一方を選択して垂直走査開始信号STVを生成する選択回路8bと、通常動作モード指示信号NORMとリフレッシュ指示信号SELFに従って通常禁止信号INHVNおよびリフレッシュ禁止信号INHVSの一方を選択して禁止信号INHVを生成する選択回路8cを含む。

【0088】選択回路8aは、通常動作モード指示信号NORMと通常垂直走査信号φVNを受けるAND回路8aaと、リフレッシュ指示信号SELFとリフレッシュ垂直走査信号φVSを受けるAND回路8abと、AND回路8aaおよび8abの出力信号を受けて垂直走査信号VCKを生成するOR回路8acを含む。

【0089】選択回路8bは通常動作モード指示信号NORMと通常垂直走査開始信号STVNを受けるAND回路8baと、リフレッシュ指示信号SELFとリフレッシュ垂直走査開始信号STVSを受けるAND回路8bbと、AND回路8baおよび8bbの出力信号を受けて垂直走査開始信号STVを生成するOR回路8bcを含む。

【0090】選択回路8cは、通常動作モード指示信号NORMと通常禁止信号INHVNを受けるAND回路8caと、リフレッシュ指示信号SELFとリフレッシュ禁止信号INHVSを受けるAND回路8cbと、AND回路8caおよび8cbの出力信号を受けて禁止信号INHVを生成するOR回路8ccを含む。

【0091】この図5に示すシフトクロック切換回路8の構成において、通常動作モード時においては、通常動作モード指示信号NORMが論理論理Hレベル、リフレッシュ指示信号SELFが論理論理Lレベルである。したがって、外部から与えられる通常垂直走査信号φVN、通常垂直走査開始信号STVNおよび通常禁止信号INHVNに従って垂直走査信号VCK、垂直走査開始信号STVおよび禁止信号INHVが生成される。

【0092】一方、リフレッシュモード時においては、

通常動作モード指示信号NORMが論理論理Lレベル、リフレッシュ指示信号SELFが論理論理Hレベルであり、リフレッシュ垂直走査信号φVS、リフレッシュ垂直走査開始信号STVSおよびリフレッシュ禁止信号INHVSに従って垂直走査信号VCK、垂直走査開始信号STVおよび禁止信号INHVが生成される。

【0093】この図5に示す構成において、リフレッシュ制御回路5により、リフレッシュモード時、リフレッシュ垂直走査信号φVS、リフレッシュ垂直走査開始信号STVS、および垂直リフレッシュ禁止信号INHVSが生成される。この構成については後に詳細に説明する。

【0094】図6は、図1に示す垂直走査回路2の構成を概略的に示す図である。図6において、垂直走査回路2は、垂直走査開始信号STVに従って、その選択出力が初期化され、垂直走査信号VCKに従ってシフト動作を行ない、その出力を順次選択状態へ駆動する垂直シフトレジスタ50と、垂直シフトレジスタ50の各出力に対応して設けられるバッファを含み、禁止信号INHVに従って、垂直走査信号(行選択信号)V1, V2, ... Vmを順次選択状態へ駆動するバッファ回路51を含む。

【0095】このバッファ回路51は、禁止信号INHVに従って、垂直走査信号が同時に選択状態へ駆動されるのを禁止する。すなわちこの禁止信号INHVが論理論理Hレベルの活性状態のときには、垂直シフトレジスタ50の出力信号にかかわらず、その垂直走査信号(行選択信号)をすべて非選択状態とし、この禁止信号INHVが論理論理Lレベルとなると垂直シフトレジスタ50の出力信号に従って垂直走査信号(行選択信号)を選択状態へ駆動する。次に、この図1から図6に示す表示装置の動作について説明する。

【0096】まず、図7を参照して、通常動作モード時の画像データの書込について説明する。通常動作モード時においては、通常動作モード指示信号NORMが論理Hレベルであり、一方、リフレッシュ指示信号SELFが論理Lレベルである。この状態においては、図5に示すシフトクロック切換回路8においては、外部からの垂直走査信号φVN、垂直走査開始信号STVN、および通常禁止信号INHVNに従って、垂直走査信号VCK、垂直走査開始信号STVおよび禁止信号INHVを生成する。この垂直走査開始信号STVおよびSTVNに従って、図6に示す垂直シフトレジスタ50において垂直走査開始信号STVが取込まれ、次の垂直走査信号VCKに従ってシフト動作により先頭行の選択信号が選択状態へ駆動される。したがって、この垂直走査開始信号STVが立上りがって次のサイクルにおいて垂直走査信号V1が選択状態へ駆動され、以降、垂直走査信号VCKに従って垂直シフトレジスタ50がシフト動作を行ない、垂直走査信号V1...Vmが順次選択状態へ駆動され

る。ここで、図7においては、ノンインターレース方式で、走査線が順次選択されるシーケンスを一例として示す。しかしながら、インターレース方式で垂直走査線が走査されても良い。

【0097】垂直走査信号V1が選択状態へ駆動されたときには、左イネーブル信号LEが同様活性状態へ駆動され、図2に示す切換回路SG1およびSG2において、AND回路21の出力信号が水平走査信号H1、H2…に従って順次論理Hレベルへ駆動され、転送ゲート22がオン状態となり、共通画像データ線7が、水平走査信号H1、H2に従って順次、左側の内部データ信号線DL1、DL2、…に順次接続される。画素PX11、PX12…において、サンプリングTF T25が順次オン状態となり、この共通画像データ線7を伝達される転送ゲート22が順次オン状態となり、画像データ線7上を伝達される画像データDに従って、画素PX11、PX21…に対し、水平走査信号（列選択信号）H1、H2に従って順次書込まれる。

【0098】左イネーブル信号LEおよび右イネーブル信号REは、選択（垂直）走査線に従って論理Hレベルに駆動される。したがって、偶数行の走査線選択信号（行選択信号）V2が論理Hレベルとなると右イネーブル信号REが論理Hレベルとなり、水平走査信号H1、H2に従って、切換回路ST1、ST2…において、AND回路23の出力信号に従って転送ゲート24が導通し、共通画像データ線7上を介して伝達される画像データDが、右側の内部データ信号線DR1、DR2…に伝達される。この状態において、画素PX21、PX22…において、サンプリングTF T25に従って、画像データが取込まれ、電圧保持容量素子26により、取込まれた電圧が保持される。

【0099】この通常動作モード時において、リフレッシュ指示信号SELFは論理Lレベルであり、図2に示す分離ゲートIG1、IG2…は、すべて非導通状態にある。リフレッシュ動作は行なわれないため、このリフレッシュ回路6は、非活性状態にある。このとき、図2に示すブリチャージ／イコライズ回路PEQが活性状態にあり、相補信号線CLおよびCRを、それぞれ中間電圧V論理Lレベルに保持する構成が用いられてもよい。しかしながら、このブリチャージ／イコライズ回路PEQも非導通状態とすることにより、中間電圧VMを消費する回路部分がなく、消費電流を低減することができる。信号線CLおよびCRは、フローティング状態となるものの、分離ゲートIG1、IG2がすべて非導通状態にあるため、表示画素マトリクス1における画素PXに対する画素データ信号の書込に対し何ら悪影響を及ぼさない。これに代えて、通常動作モード時においては、相補信号線CLおよびCRが接地電圧レベルに保持されてもよい。

【0100】図8は、図6に示す垂直走査回路2にお

る垂直シフトレジスタ50の出力信号SRとバッファ回路51の出力信号（垂直走査信号）V1…Vmの関係を示す図である。図8に示すように、垂直シフトレジスタ50は、垂直走査クロック信号VCKに従ってシフト動作を行なう。したがって、垂直シフトレジスタ50の出力信号SR1、SR2は、垂直走査クロック信号VCKの1クロックサイクル期間論理Hレベルとなる。

【0101】禁止信号INH Vは垂直走査クロック信号VCKの立上がりに対応して所定期間論理Hレベルとなり、この間、バッファ回路51の出力信号をすべて論理Lレベルに保持する。したがって、この禁止信号INH Vが論理Hレベルの期間、垂直走査信号V1、V2…はすべて論理Lレベルである。禁止信号INH Vが論理Lレベルに立下がると、バッファ回路51は、垂直シフトレジスタ50の出力信号に従って垂直走査信号V1、V2…を論理Hレベルに駆動する。したがって、この垂直走査信号VCKが立上がり、垂直シフトレジスタ50がシフト動作を行なったときに、その垂直シフトレジスタ50の出力信号SR1およびSR2がともに論理Hレベルとなる期間が存在しても、この間、禁止信号INH Vが論理Hレベルであり、バッファ回路51からの垂直走査信号V1、…Vmにおいて多重選択が生じることはなく、確実に、選択行（走査線）の画素に対し画像データを書込むことができる。

【0102】なお、この図2に示す構成においては、水平走査信号H1、H2…に従って点順次方式で、選択行に接続される画素に対し順次画像データが書込まれている。しかしながら、この点順次方式ではなく、選択行の画素に対し同時に画素データ信号が書込まれるデータ書込方式が用いられる場合、水平走査信号H1、H2…に代えて、書込タイミング信号が与えられ、接続制御回路4において、切換回路SG（SG1、SG2…）はすべて同時に導通状態となる。この場合においても、右イネーブル信号REおよび左イネーブル信号LEは、選択垂直走査線が偶数行であるか奇数行であるかに応じて活性化される。

【0103】次に、図9を参照してリフレッシュモード時の動作について説明する。このリフレッシュモード時においては、表示画像の書換えは行なわれない。単に、表示画素マトリクス1において各画素PXの保持電圧の復元、すなわちリフレッシュが実行される。このリフレッシュモード時においては、リフレッシュ指示信号SELFは、論理Hレベルに設定され、通常動作モード指示信号NORMは論理Lレベルに設定される。したがって、図1に示す接続制御回路4において、切換回路SG1、SG2はすべて非導通状態となり、画像データ線7と表示画素マトリクス1とは切り離される。一方、リフレッシュ指示信号SELFに従って、図2に示す分離ゲートIG（IG1、IG2…）が導通状態となり、相補信号線CLおよびCRが、対応の内部データ信号線DL

およびDR(DL1, DR1...)に接続される。シフトクロック切換回路8は、図6に示すように、内部で発生されるリフレッシュ走査信号φVS、リフレッシュ走査開始信号STVSおよびリフレッシュ禁止信号INHVSに従って垂直走査信号VCK、垂直走査開始信号STVおよび禁止信号INHVを生成する。

【0104】このリフレッシュモード時において、禁止信号INHVに従ってまずプリチャージ指示信号φPEをワンショットパルス形で論理Hレベルに駆動する。応じて、図2に示すプリチャージ/イコライズ回路PEQにおいてTFT34-36が導通し、対応の信号線CLおよびCRを中間電圧VMレベルにプリチャージしかつイコライズする。この禁止信号INHVに従ってまた、センスアンプ駆動信号φPおよびφNもそれぞれ、論理Lレベルおよび論理Hレベルへ駆動され、センスアンプSAが非活性化される。これにより、相補信号線CLおよびCRを介して内部データ信号線DLおよびDRが、中間電圧VMレベルにプリチャージされかつイコライズされる。

【0105】次いで、このプリチャージ動作が完了すると、垂直走査回路2からの垂直走査信号V(V1)が選択状態へ駆動され、この垂直走査信号V1に従って、1行の画素PX(PX11, PX12...)のサンプリングTFT25が導通し、電圧保持容量素子26に保持された電圧が、対応のデータ信号線DLに伝達される。応じて、信号線CLの電圧レベルが、プリチャージ電圧VMレベルから対応の電圧保持素子に蓄積されていた保持電圧レベルに応じて変化する。ここで、図9においては、電圧保持容量素子26に記憶される電圧レベルが論理Hレベルおよび論理Lレベルの場合があり、それぞれを併せて示す。

【0106】電圧保持容量素子26に論理Hレベルの画素データ信号が書込まれている場合には、信号線CLの電圧レベルがプリチャージ電圧VMより高くなり、一方、電圧保持容量素子26に、論理Lレベルの画素データ信号が書込まれている場合には、信号線CLの電圧レベルは、プリチャージ電圧VMレベルから低下する。一方、信号線CRに対しては、画素は接続されていないため、この信号線CRは、プリチャージ電圧VMレベルを維持する。信号線CLおよびCRの電圧差が十分に拡大されると、センスアンプ駆動信号φNおよびφPがそれぞれ論理Lレベルおよび論理Hレベルに駆動され、センスアンプSAが活性化され、信号線CLおよびCRの電位差を差動増幅しかつラッチする。

【0107】相補信号線CLおよびCRの電圧は、対応の内部データ信号線DLおよびDR(DL1, DR1, DL2, DR2...)に伝達され、再び、サンプリングTFTを介して電圧保持容量素子26に伝達される。したがって、仮に論理Hレベルの画素データ信号が書込まれその電圧レベルが低下した場合においても、センスア

ンプSA2のセンス動作により、再び元の論理Hレベルのデータの電圧レベルが再生されて再書込される。このリフレッシュ動作時において1行の画素に対し同時に記憶画素データ信号の再書込が実行されるため、水平走査信号H1, H2...を順次駆動する必要はない。シフトクロック(垂直走査クロック)信号VCKは所定の、適当なリフレッシュ周期で生成される。

【0108】次に、再び、垂直走査クロック信号VCKが論理Hレベルとなると、禁止信号INHVが再び論理Hレベルに立上がり、再びセンスアンプ駆動信号φNおよびφPが非活性状態へ駆動されかつ所定期間プリチャージ動作が実行され、信号線CLおよびCRが中間電圧VMレベルにプリチャージされかつイコライズされる。分離ゲートIG(IG1, IG2...)が導通状態にあるため、内部データ信号線DL(DL1, DL2)およびDR(DR1, DR2)も、中間電圧VMレベルにプリチャージされる。

【0109】次いで、禁止信号INHVが非活性状態となり、またプリチャージ指示信号φPEも非活性状態となると、バッファ回路からの垂直走査信号に従って、次の行選択信号V2が論理Hレベルとなり、この垂直走査信号V2に従って選択される行に対応して配置される画素PX(PX21, PX22...)の保持電圧のリフレッシュが実行される。この場合には、画素PX21, PX22のサンプリングTFT25は、内部データ信号線DR(DR1, DR2...)に接続されており、内部データ信号線DRおよび信号線CRに、対応の画素の保持電圧が伝達される。このときには、信号線CLおよびデータ信号線DLは、プリチャージ電圧VMレベルに保持されており、センスアンプSAを活性化することにより、画素PS21, PS22...には、元の書込まれた画素データが再生されて再書込される。

【0110】したがって、相補信号CLおよびCRを内部データ信号線DLおよびDRに結合し、センスアンプSAにより、差動増幅を行なう。相補信号線CLおよびCRの一方にのみ、表示画素の保持電圧が伝達されるため、センスアンプSAの差動増幅動作により正確に元の書込電圧レベルを復元して再書込を行なうことができる。

【0111】なお、リフレッシュ動作時においては、右イネーブル信号REおよび左イネーブル信号LEは、何ら列選択は行なう必要がないため、論理Lレベルに保持されていてもよい。

【0112】図10は、図1に示すリフレッシュ制御回路5の垂直走査に関連する部分の構成を概略的に示す図である。図10において、リフレッシュ制御回路5は、リフレッシュ指示信号SELFの活性化時発振動作を行なう発振回路55と、発振回路55の出力信号φVS0をバッファ処理してリフレッシュ垂直走査信号φVSを生成するバッファ56と、発振回路55の出力信号φV

S0の立上がりに応答してワンショットのバース信号を発生してリフレッシュ禁止信号INHVSを生成するワンショットバース発生回路57と、発振回路55の出力信号φVS0の例えば立上がりをカウントするカウンタ58と、カウンタ58のカウントアップ信号に応答してワンショットのバース信号を発生するワンショットバース発生回路59と、リフレッシュ指示信号SELFの立上がりに応答してワンショットのバース信号を発生するワンショットバース発生回路60と、ワンショットバース発生回路59および60の出力バース信号を受けて垂

直走査開始信号STVSを生成するOR回路61と、リフレッシュ指示信号SELFを反転して通常動作モード指示信号NORMを生成するインバータ62を含む。
 【0113】発振回路55は、リフレッシュ指示信号SELFの活性化時発振動作を行なうリングオシレータ55aと、リングオシレータ55aの出力信号を反転しかつバッファ処理して出力信号φVS0を生成するインバータ55bを含む。リングオシレータ55aは、リフレッシュ指示信号SELFを第1の入力に受けるNAND回路NGと、偶数段の縦続接続されるインバータIVを含む。これらの偶数段のインバータの最終段のインバータの出力信号がNAND回路NGの第2の入力に印加される。

【0114】図11は、図12に示すリフレッシュ制御回路の動作を示すタイミングチャート図である。以下、図11を参照して、図10に示すリフレッシュ制御回路5の動作について簡単に説明する。

【0115】リフレッシュ指示信号SELFが論理Lレベルのときには、発振回路55は非活性状態にあり、その出力信号φVS0は、論理Lレベルに固定される。したがって、このリフレッシュ制御回路5においては、出力信号φVS、INHVS、およびSTVSはすべて論理Lレベルを維持する。

【0116】また、インバータ62により、通常動作モード指示信号NORMが論理Hレベルであり、表示画素マトリクス画素に対する画素データ信号の書込が実行される。

【0117】画像データの保持のみを行なう場合、リフレッシュ指示信号SELFが論理Hレベルに駆動される。リフレッシュ指示信号SELFが論理Hレベルとなると、リングオシレータ55aにおいてNAND回路NGがインバータとして動作し、リングオシレータ55aが発振動作を開始し、応じて発振回路55からの出力信号φVS0が、リングオシレータ55aの有する所定の周期で変化する。このリフレッシュ指示信号SELFの立上がりに応答して、ワンショットバース発生回路60がワンショットのバース信号φ1を生成し、応じてリフレッシュ垂直走査開始指示信号STVSが所定期間論理Hレベルとなる。この垂直走査開始指示信号STVSが

リフレッシュ垂直走査クロック信号φVSが論理Hレベルとなると、この垂直走査開始信号STVSが、垂直シフトレジスタ50（図6参照）にセットされる。この状態においては、単に垂直シフトレジスタ50に対し、初期設定が行なわれただけであり、垂直シフトレジスタ50の出力信号はすべて論理Lレベルである。

【0118】バッファ56からのリフレッシュ垂直走査クロック信号φVSが論理Hレベルに再び立上がると、図6に示す垂直走査レジスタ50がシフト動作を実行し、その初段の出力を論理Hレベルに立上げる。一方、ワンショットバース発生回路57は、この発振回路55の出力信号φVS0の立上がりに応答して所定期間論理Hレベルとなるリフレッシュ禁止信号INHVSを生成している。このリフレッシュ禁止信号INHVSが論理Lレベルとなると、垂直走査回路からの垂直走査信号（行選択信号）V1が論理Hレベルに駆動される。

【0119】カウンタ58はカウント動作を行なっており、この垂直走査線の数、m本の垂直走査線に対するm個の信号φVS0の立上がりをカウントするとカウントアップ信号を出力する。このカウンタ158のカウントアップ信号に応答してワンショットバース発生回路59がワンショットのバース信号φ2を生成し、応じて再び垂直走査開始信号STVSが論理Hレベルに立上げられる。次に発振回路55の出力信号φVS0が論理Hレベルに立上がると、このリフレッシュ垂直走査開始信号STVSが、垂直走査レジスタにセットされる。この状態において、垂直走査レジスタにおいては、1フレームの最終の走査線に対する垂直走査信号Vmが論理Hレベルに駆動される。

【0120】次いで、再び発振回路55の出力信号φVS0が論理Hレベルとなると、この取込んだリフレッシュ垂直走査開始信号に従って再び最初の走査線に対する垂直走査信号V1が論理Hレベルに立上がる。

【0121】したがって、カウンタ58において、発振回路55の出力信号φVS0をmカウントすることにより、表示画素マトリクスにおいて、すべての垂直走査線が走査された後に、垂直走査開始信号STVSを発生することができる。

【0122】したがって、図10に示す構成を利用することにより、リフレッシュ指示信号SELFに従って、垂直走査に関連する信号を内部で生成することができる。

【0123】なお、水平走査は、このリフレッシュ時には必要ではなく、リフレッシュ制御回路5においては水平走査に関連する信号は生成されない。この状態においては、単に外部からの水平走査に関連する信号HCKおよびSTHおよびINHがすべて論理Lレベルに固定され、水平走査回路の動作は停止され、消費電力が低減される。

【0124】図12は、リフレッシュ制御回路5の、リフレッシュ回路を制御する部分の構成を概略的に示す図である。図12において、リフレッシュ制御回路5は、発振回路55（図10）の出力信号 ϕVSO の立上りに応答して一定の時間幅を有するワンショットのパルス信号の形でプリチャージ指示信号 ϕPE を生成するワンショットパルス発生回路65と、発振信号 ϕVSO の立上りに応答してセットされてその出力Qにセンスアンプ駆動信号 ϕN を生成するエッジトリガ型セット／リセットフリップフロップ66と、センスアンプ駆動信号 ϕN を所定時間遅延してその出力信号をエッジトリガ型セット／リセットフリップフロップ66のリセット入力Rへ与える遅延回路67と、発振信号 ϕVSO の立上りに応答してリセットされその出力Qからセンスアンプ駆動信号 ϕP を出力するエッジトリガ型セット／リセットフリップフロップ68と、センスアンプ駆動信号 ϕP を所定時間遅延しかつセンスアンプ駆動信号 ϕP を反転して出力する反転遅延回路69を含む。反転遅延回路69の出力信号はエッジトリガ型セット／リセットフリップフロップ68のセット入力Sへ与えられる。

【0125】図13は、図12に示すリフレッシュ制御回路の動作を示すタイミング図である。以下、簡単に図12に示すリフレッシュ制御回路の動作を図13に示すタイミング図を参照して説明する。

【0126】発振信号 ϕVSO が論理Hレベルに立上ると、ワンショットパルス発生回路65が、ワンショットのパルス信号を発生し、応じてプリチャージ／イコライズ指示信号 ϕPE が所定時間論理Hレベルとなる。このプリチャージ／イコライズ指示信号 ϕPE の時間幅は、リフレッシュ禁止信号INHVSの時間幅よりも短くされる。すなわち、相補信号線および内部データ信号線のプリチャージ／イコライズ動作完了後、垂直走査信号（行選択信号）Viを選択状態へ駆動する。

【0127】一方、発振信号 ϕVSO の立上りに応答してセット／リセットフリップフロップ66がセットされ、その出力Qからのセンスアンプ駆動信号 ϕN が論理Hレベルとなる。また、エッジトリガ型セット／リセットフリップフロップ68がリセットされ、その出力Qからのセンスアンプ駆動信号 ϕP が論理Lレベルとなる。これにより、図2に示すセンスアンプSAがともに非活性状態とされる。

【0128】このセンスアンプ駆動信号 ϕN および ϕP は、通常、垂直走査信号（行選択信号）Viが活性状態へ駆動されてから所定期間非活性状態を維持する。センスアンプ駆動信号 ϕN および ϕP の非活性期間は、遅延回路67および69によりそれぞれ決定される。遅延回路67の有する遅延時間が経過すると、エッジトリガ型セット／リセットフリップフロップ66がリセットされ、その出力Qからのセンスアンプ駆動信号 ϕN が論理Lレベルとなり、センスアンプSAに含まれるNチャネ

ルTF Tが活性化され、相補信号線（内部データ線）の低電位の信号線が接地電圧レベルに放電される。

【0129】また、反転遅延回路69の有する遅延時間が経過すると、セット／リセットフリップフロップ68が、この反転遅延回路69の出力信号の立上りに応答してセットされ、出力Qからのセンスアンプ駆動信号 ϕP が論理Hレベルへ駆動される。これにより、図2に示すセンスアンプSAのPチャネルTF Tで構成されるPセンスアンプが活性化され、相補信号線の高電位の信号線が論理Hレベル（たとえば電源電圧レベル）へ駆動される。

【0130】この動作が、発振信号 ϕVSO の立上りに応答して繰返し実行される。

【0131】[変更例]

【0132】図14は、この発明の実施の形態1の変更例の構成を概略的に示す図である。図14において、表示装置70は、水平走査回路3および垂直走査回路2を含む。この垂直走査回路2に対しては、外部のコントローラまたはプロセッサから、垂直走査クロック信号VCK、垂直走査開始信号STVおよび禁止信号INH Vが、通常動作モードおよびリフレッシュモードにかかわらず与えられる。水平走査回路3に対しても、同様、外部のコントローラまたはプロセッサから、水平走査クロック信号HCK、水平走査開始信号STH Hおよび禁止信号INH Hが与えられる。

【0133】水平走査回路3は、リフレッシュモード時には、水平走査線を選択する必要がないため、その内部に含まれる水平シフトレジスタのシフト動作を停止させる。このため、水平走査回路3に対しては、水平走査クロック信号HCKと通常動作モード指示信号NORMを受けるAND回路71が設けられる。このAND回路71の出力信号が、水平シフトレジスタに対するシフトクロックとして与えられる。

【0134】外部のロジックまたはプロセッサにおいては通常動作モードおよびリフレッシュモードいずれにおいても、垂直走査クロック信号VCKを生成した場合、1行の画素の最終画素にまで走査した後に、次の垂直走査クロック信号VCKが生成されるように、通常、カウンタを用いて、垂直走査および水平走査クロック信号が相互に関係付けられる。したがって、リフレッシュモードにおいても、外部のコントローラまたはプロセッサを用いて、垂直走査信号VCKを生成する場合、同様、水平走査に関連する信号HCK、ST1およびINH Hも同様に生成される。このAND回路71を用いて水平走査回路3において水平シフトレジスタのシフト動作を停止させることにより、リフレッシュ時の消費電流を低減する。

【0135】垂直走査回路2に対し外部からの垂直走査信号VCK、垂直走査開始信号SAVおよび垂直禁止信号INH Vが与えられるため、図1に示すシフトクロック

ク切換回路8を設ける必要がなく、回路占有面積を低減することができる。また、リフレッシュ制御回路においても、リフレッシュ用の垂直走査のための制御信号を発生する必要がなく、図10に示す回路構成は不要となる。外部からのリフレッシュ指示信号SELFに従って通常動作モード指示信号NORMを生成する事が要求されるだけである。

【0136】[変更例2]

【0137】図15は、この発明の実施の形態1における変更例2に従う接続制御回路を制御する部分の構成の一例を示す図である。図15において、接続制御部は、外部からのノーマル垂直走査開始信号STVNと左イネーブル信号LEとを受けるOR回路80と、外部からの補の通常垂直走査クロック信号 ϕ VNに従って選択的に導通し、導通時OR回路80の出力信号を通過させる転送ゲート81と、転送ゲート81を介して与えられる信号を反転するインバータ82と、インバータ82の出力信号を反転してインバータ82の入力へ伝達するインバータ83と、インバータ82の出力信号を反転するインバータ84と、外部からの通常垂直走査クロック信号 ϕ VNに従って導通し、導通時インバータ84の出力信号を通過させて右イネーブル信号REを生成する転送ゲート85と、転送ゲート85から与えられた信号を反転して左イネーブル信号LEを生成するインバータ86を含む。次に、この図15に示す接続制御部の動作を図16に示すタイミング図を参照して説明する。

【0138】今、走査線 V_m-1 が、奇数走査線であり、対応の画素素子が左側内部データ信号線DLに接続され、右イネーブル信号REが論理Lレベル、左イネーブル信号LEが論理Hレベルの状態を考える。通常垂直走査クロック信号 ϕ VNが論理Lレベルのときには、転送ゲート85が非導通状態、転送ゲート81が導通状態となる。この状態において、通常走査開始信号STVNが論理Hレベルに立上ると、転送ゲート81を介してOR回路80の出力する論理Hレベルの信号が伝達されてインバータ82および83によりラッチされる。

【0139】次いで、通常垂直走査クロック信号 ϕ VNが論理Hレベルに立上ると、転送ゲート85が導通し、インバータ84からの論理Hレベル信号が、右イネーブル信号REとして出力され、一方、インバータ86により、左イネーブル信号LEが論理Lレベルとなる。したがって、最終走査線 V_m が偶数走査線であり、右イネーブル信号REが活性化され、右側内部データ信号線DRに接続される画素素子に対し画像データが書込まれる。

【0140】通常垂直走査クロック信号 ϕ VNが論理Lレベルとなると、転送ゲート81が導通し、OR回路80からの論理Lレベルの信号をインバータ82へ与える。この状態において、転送ゲート85は非導通状態になり、その出力信号REおよびLEの状態は変化しない。

い。

【0141】続いて、再び通常垂直走査クロック信号 ϕ VNが論理Hレベルとなると、転送ゲート85が導通し、インバータ84からの論理Lレベルの信号が、右イネーブル信号REとして出力され、またインバータ86により、左イネーブル信号LEが論理Hレベルへ駆動される。この状態において、補の垂直走査信号 ϕ VNは論理Lレベルであり、転送ゲート81は非導通状態を維持する。したがって、最初の垂直走査線V1が選択されるときには、左イネーブル信号LEが論理Hレベル、右イネーブル信号REが論理Lレベルとなり、選択行に応じて、内部データ信号線を、選択画素に結合することができる。

【0142】なお、この図15に示す構成において、外部からリフレッシュモード時においても、垂直走査クロック信号が与えられる場合には、先の図14に示す構成と同様、通常動作モード指示信号NORMと外部からの垂直走査クロック信号VCKを受けるAND回路の出力信号を転送ゲート85へ与え、一方、転送ゲート81は、通常動作モード指示信号NORMと補の垂直走査クロック信号 ϕ VCKを受けるAND回路の出力信号を与える。

【0143】なお、これらの右イネーブル信号REおよび左イネーブル信号LEも、外部のプロセッサまたはコントローラから通常動作モード時与えられるように構成されてもよい。この場合には図15に示す回路は不要となる。

【0144】なお、図2に示す配置においては、各画素列に対応して内部データ信号線対を配置し、各行ごとに交互にこれらの内部データ信号線対の異なるデータ信号線に表示画素素子に接続している。しかしながら、図17に示すように対をなすデータ信号線DLおよびDRに、ほぼ同数の画素が接続される構成であればよく、たとえば、画素群PGAとして上半分の画素がデータ信号線DLに接続され、画素群PGBとして下半分の画素が内部データ線DRに接続されてもよい。したがって、この1行おきに、画素が交互に異なるデータ信号線に接続される構成に限定されず、図17に示すように、データ信号線対の各データ信号線に同数個の画素が接続される構成であればよく、2行ごとに画素が異なる内部データ信号線に接続される構成であっても良い。

【0145】以上のように、この発明の実施の形態1に従えば、各画素列に対応して相補信号線対を設け、各画素のデータを信号線対の一方に読出してセンスアンプにより差動増幅して増幅したデータを元の画素に再書込するように構成しており、外部から全画素データ信号を再書込する必要がなく、システム規模および消費電流とともに低減することができる。

【0146】なお、リフレッシュ時の対向電極の画素駆動電圧Vcentについては、表示画像を変更する必要は

ないため、その電圧極性を特に変化させる必要はない。

【0147】〔実施の形態2〕

【0148】図18は、この発明の実施の形態2に従う表示装置の要部の構成を概略的に示す図である。図18においては、1列の画素に対応する部分の構成を代表的に示す。画素列に対応して相補内部データ信号線DLiおよびDRiが配置される。これらの相補内部データ信号線DLiおよびDRiに対しては、各行ごとに交互に画素PX1iおよびPX2iが交互に接続される。しかしながら、この内部データ信号線DLiおよびDRiには、同数個の画素が接続される構成であればよく、各行ごとに交互に、画素がデータ信号線DLiおよびDRiに接続される必要はない。

【0149】共通画像データバスは、相補画像データDおよび/Dを転送するために相補画像データ線97および98を備える。

【0150】接続制御回路4において、切換回路SG1には、通常動作モード指示信号NORMと水平走査信号Hiを受けるAND回路90が設けられる。このAND回路90の出力信号に従って、転送ゲート22および24が導通し、内部データ信号線DLiおよびDRiを、相補画像データ線97および98にそれぞれ結合する。この内部データ信号線DLiおよびDRiと相補画像データ線97および98との接続は、他の画素列においても同様であり、一意的に定められる。

【0151】相補画像データ線97および98に相補画素データ信号Dおよび/Dを生成するために、右イネーブル信号REと画素データ信号PDを受けるEXOR回路95と、EXOR回路95の出力信号を反転するインバータ96が設けられる。EXOR回路95が画像データ線97を駆動し、インバータ96が、画像データ線98を駆動する。

【0152】表示画素マトリクス1においては、各画素PXに対応して基準セルRXが配置される。これらの基準セルRXは、対応の画素が接続する内部データ線と対をなす内部データ線に接続される。図18においては、同一行において画素PX1iに隣接して、基準セルRX1iが配置され、画素PX2iに対して基準セルRX2iが配置される。これらの基準セルRX(RX1i, RX2i)は、対応の画素PX(PX1i, PX2i)の保持電圧(書込画素データ信号)と相補な電圧信号を格納する。

【0153】基準セルRX(RX1i, RX2i)は、対応の垂直走査信号(行選択信号)V(V1, V2)にตอบสนองして導通する基準トランジスタ100と、この基準トランジスタ(TFT)100を介して与えられた電圧を保持する基準容量素子101を含む。この基準容量素子101の他方電極ノードは、共通電極に結合され、共通電極電圧Vcomを受ける。

【0154】各画素と対をなすように基準セルRXを配

置し、内部データ信号線DLiおよびDRiに、画素PXと基準セルRXのデータを読み出す。これらの画素PXおよび基準セルRXには相補画素データ信号が格納されるため、リフレッシュ時において、画素PXの保持電圧だけを読み出す場合に較べて、内部データ信号線DLiおよびDRiに現われる信号電圧差を大きくすることができ、リフレッシュ周期を長くすることができる。

【0155】図18に示す構成において、他の構成は、図2に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0156】通常動作モード時においては、通常動作モード指示信号NORMが論理Hレベルであり、切換回路SG1が、水平走査信号(列選択信号)Hiにตอบสนองして導通し、内部データ信号線DLiおよびDRiを共通画像データ線97および98にそれぞれ結合する。

【0157】今、垂直走査信号(行選択信号)V1が選択状態へ駆動された場合を考える。この場合、右イネーブル信号REは論理Lレベルであり、EXOR回路95は、バッファ回路として動作し、外部からの画素データ信号PDに従って内部画素データ信号Dを生成する。インバータ96が、この内部画素データ信号Dを反転して、補の画素データ信号/Dを生成する。今、垂直走査信号V1が選択状態とされているため、切換回路SG1を介して画素PX1iに対しデータ信号Dが与えられ、一方、基準セルRX1iに対し、補のデータ信号/Dが与えられ、これらの容量素子26および101には、相補な電圧信号が伝達されて格納される。

【0158】一方、垂直走査信号V2が選択状態へ駆動された場合には、右イネーブル信号REが論理Hレベルとなり、EXOR回路95が、インバータとして動作する。したがって、この場合には、共通画像データ信号線97へは、画素データ信号PDに対し補の画素データ信号/Dが与えられ、共通画像データ線98には、元の画素データ信号PDに対応する内部画素データ信号Dが与えられる。

【0159】この状態において、水平走査信号Hiが選択状態へ駆動されると、内部データ信号線DLiおよびDRiに対し画素データ信号/DおよびDが伝達される。画素PX2iにおいて、サンプリングTFT25を介して、その内部の電圧保持容量素子26に、元の画像データPDに対応する画素データ信号が書込まれ、基準セルRX2iには、補の画素データ信号/Dが伝達されて格納される。

【0160】したがって、選択行の位置に応じて、元画素データ信号PDの論理を変更することにより、画素PX(PX1i, PX2i)に対して常に、元画素データ信号PDに対応する画素データ信号Dを書込むことができ、各画素を画素データ信号に応じた状態に設定することができる。

【0161】リフレッシュモード時においては、通常動

作モード指示信号NORMが論理Lレベルであり、AND回路90の出力信号は論理Lレベルとなり、切換回路SG1が非導通状態となり、内部データ信号線DLiおよびDRiは、共通画像データ線97および98から分離される。この状態において、実施の形態1と同様に、リフレッシュ回路6により、リフレッシュが実行される。

【0162】画素PXおよび基準セルRXの容量26および101は同じ容量値を有しており、書込データは、論理Hレベルおよび論理Lレベルの2値データである。したがって、このリフレッシュ時において、中間電圧VMレベルにプリチャージされた信号線CLおよびCRに対し、同じ大きさの読出電圧 ΔV が伝達される。単にこの読出電圧 ΔV の符号が異なる。したがって、図19に示すように、信号線CLおよびCRの電圧差は $2 \cdot \Delta V$ となり、画素のみを内部データ信号線を介して相補信号線CLまたはCRに接続する構成に比べて、読出電圧を等価的に大きくすることができ、センスアンプSAのセンスマージンを大きくすることができる。

【0163】これは、逆にいえば、リフレッシュ間隔を長くしても、信号線CLおよびCRの電圧差が ΔV となるまで安定にセンス動作が行なうことができることを意味する。画素PXの保持電圧レベルが低下しても、相補信号線CLおよびRの電圧差は、センスマージン以上であれば、センスアンプSAが安定にセンス動作を行なうことができる。したがって、画素の論理Hレベルの保持電圧が、液晶駆動部27の画素駆動TF Tのしきい値電圧以上である間に、リフレッシュを行なうことにより、フリッカなどを生じさせることなく確実に、保持電圧を復元することができる。したがって、リフレッシュ間隔を十分長くすることができ、単位時間あたりのリフレッシュ回数を低減することができ、リフレッシュに要する消費電流を大幅に低減することができる。

【0164】なお、この図18に示す構成においても、選択行の画素が順次、水平走査信号に従って選択されて、選択画素に対し画素データ信号が書込まれる点順次方式が示されている。しかしながら、選択行において一括して、同時に、1行の画素に対し画素データ信号が書込まれる構成であっても、同様の効果を得ることができる。

【0165】[変更例]

【0166】図20は、この発明の実施の形態2の変更例を示す図である。この図20においては、内部画素データ信号PDおよび/PDを共通画像データ線97および98に伝達する信号切換部の構成を示す。図20において、切換部は、左イネーブル信号LEの活性化時導通し、画素データ信号PDおよび/PDを共通画像データ線97および98にそれぞれ伝達する転送ゲート110および111と、右イネーブル信号REの活性化時導通し、導通時、画素データ信号PDおよび/PDを共通画

像データ線98および97へそれぞれ伝達する転送ゲート112および113を含む。

【0167】この図20に示す構成においては、右イネーブル信号REが活性状態とされたときには、画素データ信号PDが画像データ線98に伝達され、補の画素データ信号/PDが、画像データ線97に伝達される。したがって、偶数行が選択された場合には、この画像データ線98が、右側のデータ信号線DRに接続されるため、各画素に、画素データ信号PDを伝達することができる。

【0168】一方、奇数行が選択されて、左イネーブル信号LEが活性状態のときには、画素データ信号PDおよび/PDは画像データ線97および98にそれぞれ伝達される。この左イネーブル信号LEの活性化時には、画像データ線97が、左側データ信号線DLに結合されて、対応の画素に画素データ信号が伝達される。

【0169】したがって、このような選択行の位置に応じて経路切換を行なう構成を利用しても、正確に、各画素に対し画素データ信号PDを書込み、かつ基準セルRXに対し、補の画素データ/PDを書込むことができる。

【0170】以上のように、この発明の実施の形態2に従えば、データ信号線対に対し、各画素に対し、補の画素データ信号を格納する基準セルを対をなすように配置し、かつ各データ信号線対に相補画素データ信号が伝達されるように構成しており、リフレッシュ時の信号線に読出される電圧差を十分大きくすることができ、応じてリフレッシュ間隔を長くすることができる。

【0171】[実施の形態3]

【0172】図21は、この発明の実施の形態3に従う表示装置の要部の構成を概略的に示す図である。図21においては、1列の画素PXに対する構成を代表的に示す。この図21に示す構成においては、分離ゲートIGに対し、テストイネーブル信号TEとリフレッシュ指示信号SELFを受けるOR回路115の出力信号が与えられる。すなわち、この分離ゲートIGは、リフレッシュモード時およびテストモード時に導通状態となり、内部データ信号線DLおよびDRを相補信号線CLおよびCRにそれぞれ接続する。この信号線CLおよびCRに対しては、センスアンプSAおよびプリチャージ/イコライズ回路PEQが設けられる。

【0173】この実施の形態3において、信号線CLおよびCRに対しさらに、水平走査信号Hiとテストイネーブル信号TEとに従って選択的に活性化され、活性化時これらの相補信号線CLおよびCRのデータを読出して共通データバス122に伝達するリードゲート120が設けられる。このリードゲート120から共通データバス122を介して伝達される信号は、出力回路124を介して外部へ出力される。

【0174】すなわち、センスアンプSAにより増幅さ

れた相補信号線CLおよびCRの信号に従って、リードゲート120を駆動して、共通バス122に各画素のデータを内部読出する。出力回路124により、この共通バス122上のデータをバッファ処理してたとえばCMOSレベルの信号に変換して外部画素データDoutとして出力する。したがって、画素PXにおける保持電圧が小さい場合においても、外部へは、出力回路124を介してたとえばCMOSレベルの信号Doutを出力することができる。これにより、表示画素の動作の良/不良を、通常のLSIテストなどを用いて簡単に判定することができる。

【0175】図22は、リードゲートの具体的構成の一例を示す図である。リードゲート120は、相補信号線CLおよびCRの対それぞれに対応して設けられ、水平走査信号(列選択信号)Hに従って活性化される(テストモード時)。図22においては、相補信号線CLiおよびCRiに対して設けられるリードゲート120iの構成要素を具体的に示す。各画素列に対して、このリードゲート120iと同様の構成のリードゲートが配置される。図22においては、他の列に対する構成として、信号線CLjおよびCRjに対して配置されるリードゲート120jを代表的に示す。

【0176】図22において、リードゲート120iは、それぞれのゲートが信号線CLiおよびCRiに接続されるNチャンネルTFT130および131と、テストイネーブル信号TEと水平走査信号Hiを受けるAND回路134と、AND回路134の出力信号が論理Hレベルのとき導通し、TFT130および131をそれぞれ内部共通データ線122aおよび122bにそれぞれ結合するNチャンネルTFT132および133を含む。

【0177】共通データ線122aおよび122bには、プリチャージ回路125が設けられる。このプリチャージ回路125は、禁止信号INHが論理Hレベルのときに活性化され、共通データ線122aおよび122bを、電源電圧VCCレベルにそれぞれプリチャージする。

【0178】リードゲート120iにおいては、TFT130および131が差動ゲートを構成しており、信号線CLiおよびCRiの電圧レベルに応じて、共通データ線122aおよび122bの一方を、論理Lレベル(接地電圧レベル)に駆動する。信号線CLiおよびCRiには、センスアンプSAにより、振幅が電源電圧レベルの相補信号が生成されており、十分に共通データ線122aおよび122bの電圧レベルを変化させることができる。プリチャージ回路125により電源電圧VCCレベルにプリチャージされた共通データ線122aおよび122bの一方を論理Lレベルに駆動することにより、内部画素データの読出を行ない、出力回路124により、読み出した画素信号をバッファ処理して、たと

ばCMOSレベルの信号を出力する。

【0179】液晶素子の動作の良否を、液晶の表示状態を肉眼で目視することにより判定した場合、人間により良否の判定が行なわれるため、その判定精度のばらつきが大きくかつ判定に長時間を要する。一方、画素PXに蓄積された微小電圧を直接読出す場合、低容量のデータ読出回路を外部に設けて微小電圧を読出す必要があり、テストコストが増大する。大きな容量の回路により画素の保持電圧を読み出した場合、電荷の移動により微小電圧がさらに小さくなり、正確に保持電圧を読み出すことができない。

【0180】この図22に示すように、相補データ信号線のデータをリードゲート120を介して共通データバス122に読出して、出力回路124により増幅して外部へ出力することにより、通常の論理レベルの出力信号Doutを外部へ出力することができ、通常のLSIテストなどを用いて簡単に表示画素の良否の判定を行なうことができる。

【0181】図23は、テスト制御部の構成を概略的に示す図である。図23においてテスト制御部は、テストイネーブル信号TEと外部からの通常垂直走査クロック信号φVNを受けるAND回路140と、リフレッシュ制御部で内部発生される発振信号φVSOとAND回路140の出力信号とを受けるOR回路141と、OR回路141の出力信号に従ってリフレッシュ制御信号φPE、φPおよびφNを生成するセンス系リフレッシュ制御回路142を含む。このセンス系リフレッシュ制御回路142は、図12に示す構成に対応し、ブリチャージ/イコライズ指示信号φPE、およびセンスアンプ駆動信号φPおよびφNを生成する。

【0182】テスト動作時において、外部からの垂直走査クロック信号および水平走査クロック信号に従って画素の選択が行なわれる。内部で、リフレッシュ制御回路を用いて画素選択を行なった場合、選択画素の位置を特定することができないため、この選択画素の位置を特定するため、外部のテストなどを用いて、垂直走査クロック信号φVNおよび水平走査クロック信号φHNが使用されて画素の選択が行なわれる。

【0183】センス系リフレッシュ制御回路142は、OR回路141の出力信号を、図12に示す発振信号φVSOに代えて利用して、所定のタイミングで、ブリチャージ/イコライズ信号φPE、センスアンプ駆動信号φP、およびセンスアンプ駆動信号φNを生成する。

【0184】センスアンプ駆動信号φPおよびφNが活性状態となった後に、外部のテストなどにより、水平走査クロック信号に従って、水平走査信号が順次活性化されて画素データの読出が行なわれる。

【0185】図24は、このテスト動作時の画素データ読出時の動作を示すタイミングチャート図である。以下、図24を参照して、図21および図22に示す回路

の動作について簡単に説明する。

【0186】テストモード時においては、図21に示す分離ゲートIGが導通し、内部データ信号線DLおよびDRが相補信号線CLおよびCRに結合される。外部からの垂直走査クロック信号φVNに従って、図23に示すAND回路140の出力信号が変化し、応じて、センス系リフレッシュ制御回路142がそれぞれ所定のタイミングでプリチャージ／イコライズ指示信号φPE、センスアンプ駆動信号φNおよびφPを非活性／活性化する。センスアンプ駆動信号φPおよびφNに従って、図21および図22に示すセンスアンプSAがセンス動作を行ない、信号線CLおよびCRの信号電圧をラッチする。次いで、水平走査クロック信号が与えられ、水平走査信号H(Hi, Hj)に従って、列(水平走査線)の選択動作が行なわれる。水平走査信号Hが非選択状態へ駆動されると、禁止信号INHに従ってプリチャージ回路125が共通データバス122を電源電圧レベルにプリチャージする。

【0187】センスアンプSAによりラッチされた1行の画素データが、水平走査信号H(Hi, Hj)に従って順次共通データ線上にリードゲート120(120i, 120j)を介して読出される。次いで、共通データバス122上の内部読出データが、出力回路124を介して外部へ出力される。なお、このテスト動作時には、共通画像データ線に結合される接続制御回路は非導通状態に保持される。水平走査信号Hi, Hjは、図1等において示す水平走査回路3から出力される。

【0188】また、プリチャージ回路125に代えて、電源電圧VCCレベルに共通データ線122aおよび122bをそれぞれプルアップするプルアップ回路が用いられ、

【0189】[変更例]

【0190】図25は、この発明の実施の形態3の変更例1の構成を概略的に示す図である。この図25において、内部データ信号線DLおよびDRに対し、相補データを伝達するための内部画像データ線97および98が設けられる。切換回路SGiおよびSGjは、図18に示す切換回路と同じ構成を有する。この内部画像データ線97および98に対し、水平走査クロック信号/HCKとテストイネーブル信号TEの論理積に応答して活性化されて、この内部画像データ線97および98の電圧を差動増幅するメインアンプ150と、メインアンプ150の内部読出データをバッファ処理して外部へ出力する出力回路152が設けられる。他の構成は、図18に示す構成と、分離ゲートIGiおよびIGjが、テストイネーブル信号TEにตอบสนองして導通状態となる点を除いて同じである。

【0191】この図25に示す構成においては、切換回路SGiおよびSGjを、テストモード時に水平走査信号HiおよびHjにตอบสนองして導通状態とし共通画像デー

タ線97および98に対し、センスアンプSAにより増幅されたデータを読出す。メインアンプ150は、水平走査クロック信号/HCKが論理Lレベルのときにテストモード時活性化されて、この内部画像データ線97および98に読出されるデータを増幅して、その増幅した内部読出データを出力回路152へ与える。

【0192】センスアンプSAは比較的大きな駆動力を有しており、内部画像データ線97および98において比較的大きな電圧差を生成することができる。この内部画像データ線97および98に生じた電圧差を、メインアンプ150で増幅することにより、別にリードゲートを設けることなく、各画素PXの保持電圧を外部へ読出すことができる。

【0193】この図25に示す構成において、テストモード時にリフレッシュ回路を動作させるための構成としては、図23に示す構成を利用することができる。通常動作モード指示信号NORMが、テストイネーブル信号TEの活性化時論理Hレベルの活性状態に設定されれば、行および列(垂直走査線および水平走査線)の選択を行なうことができる。

【0194】[変更例2]

【0195】図26は、この発明の実施の形態3の変更例2の構成を概略的に示す図である。この図26においては、切換回路SGiおよびSGjは、図2に示す構成と同様の構成を有する。テストモード時には、ノーマルモード指示信号NORMが論理Hレベルの活性状態に保持され、データ信号線DLおよびDRの一方が内部画像データ線7に右イネーブル信号REおよび左イネーブル信号LEに従って結合される。センスアンプSAが活性状態のとき、これらの内部データ信号線DLおよびDRは、それぞれ電源電圧または接地電圧レベルに駆動されている。したがって、テストモード時、この切換回路SGiおよびSGjを利用して、水平走査信号HiおよびHjにより対応のセンスアンプSAを、内部画像データ線7に結合することにより、内部データ線7に比較的大きな電圧変化を生じさせることができる。

【0196】メインアンプ154が、基準電圧Vrefと内部画像データ線7上の信号とを比較して該比較結果に従って内部データを生成して、出力回路152へ与える。内部画像データ線7が、テストモード時、電源電圧VCCレベルにプリチャージされる場合、基準電圧Vrefとしては、電源電圧VCCよりも少し低い電圧レベルの電圧が用いられる。この内部画像データ線7に、論理Hレベルおよび論理Lレベルのセンスアンプのラッチデータが伝達された場合、内部画像データ線7は、基準電圧Vrefを高い電圧レベルまたは基準電圧Vrefよりも低い電圧レベルとなる。

【0197】基準電圧Vrefについては、センスアンプSAが共通画像データ線7に結合された時この共通画像データ線7に生じる電圧変化量に応じてその電圧レベ

ルが決定されれば良く、共通画像データ線7の論理Hレベルおよび論理Lレベルの間の電圧であれば良い。

【0198】この図26に示す構成において、他の構成は、図2に示す構成と同じである。テストモード時においてもリフレッシュ回路によりリフレッシュが実行される。

【0199】以上のように、この発明の実施の形態3に従えば、相補データ信号線のセンスアンプによりラッチされた信号を利用して、内部読出データを生成し、この内部読出データに従って出力回路を駆動して外部へ読出すように構成しており、画素PXの微小保持電圧を増幅して外部へ伝達することができ、正確に、通常のLSIテストを利用して、各画素の保持電圧を識別することができる。

【0200】[実施の形態4]

【0201】図27は、この発明の実施の形態4に従う表示装置の要部の構成を概略的に示す図である。図27においては、2行4列に配列される画素を代表的に示す。画素列それぞれに対応して内部データ信号線D1、D2、D3、D4…が配置される。これらのデータ信号線D1-D4それぞれに対応して、選択ゲートTQ1-TQ4が設けられる。これらの選択ゲートTQ1-TQ4それぞれに対応して、通常動作モード指示信号NORMと対応の水平走査選択信号H1-H4をそれぞれ受けるAND回路GQ1-GQ4が設けられる。選択ゲートTQ1-TQ4は、対応のAND回路GQ-GQ4の出力信号が論理Hレベルのとき導通し、導通時対応の内部データ信号線D1-D4を共通画像データ線7に結合する。

【0202】内部データ信号線D1およびD2に対応して分離ゲートID1が設けられ、内部データ信号線D3およびD4に対応して分離ゲートID2が設けられる。これらの内部データ信号線D1およびD2が、分離ゲートID1を介して相補信号線C1およびC2に結合され、内部データ信号線D3およびD4が、分離ゲートID2を介して相補信号線C3およびC4に結合される。これらの相補信号線C1およびC2に対応してセンスアンプSA1が設けられ、相補信号線C3およびC4に対応してセンスアンプSA2が設けられる。

【0203】第1行に整列して配置される画素PX11-PX14に対応して、奇数垂直走査線指示信号VOと垂直走査信号V1を受けるAND回路GAO1と偶数垂直走査線指示信号VEと垂直走査信号V1を受けるAND回路GAE1が設けられる。AND回路GAO1から、垂直走査信号V1Oが出力され、AND回路GAE1から垂直走査信号V1Eが出力される。

【0204】奇数列の画素PX11、PX13に対しては、垂直走査信号V1Oが与えられ、偶数列の画素PX12、PX14に対し、垂直走査信号V1Eが与えられる。

【0205】第2行に整列して配置される画素PX21-PX24に対して、垂直走査信号V2と奇数垂直走査指示信号VOとを受けるAND回路GAO2と、奇数垂直走査指示信号VEと垂直走査信号V2を受けるAND回路GAE2が設けられる。AND回路GAO2から、垂直走査信号V2Oが出力され、AND回路GAE2から垂直走査信号V2Eが出力される。奇数列の画素PX21、PX23に対して、垂直走査信号V2Oが与えられ、偶数列の画素PX22、PX24に対し、垂直走査信号V2Eが与えられる。

【0206】これらの画素PX11-PX14およびPX21-PX24においては、それぞれ、内部に配置されたサンプリングTFTが対応の垂直走査信号を受ける。

【0207】通常動作モード時においては、通常動作モード指示信号NORMが論理Hレベルであり、AND回路GQ1-GQ4がイネーブルされ、水平走査信号H1-H4に従って、論理Hレベルの信号を順次出力する（点順次走査方式の場合）。選択ゲートTQ1-TQ4は、対応のAND回路GQ1-GQ4の出力信号が論理Hレベルとなると導通し、対応のデータ信号線D1-D4を、内部共通画像データ線7に結合する。分離ゲートIGは、非導通状態を維持する。

【0208】一方、垂直走査指示信号VOおよびVEは、通常動作モード時にはともに論理Hレベルに設定される。したがって、垂直走査信号V1が論理Hレベルに立上げられると、垂直走査信号V1OおよびV1Eがともに論理Hレベルとなり、第1行に整列して配置される画素PX11-PX14におけるサンプリングTFTがすべて導通し、水平走査信号H1-H4に従って、各画素に対する画素データ信号の書込が行なわれる。

【0209】一方、リフレッシュモード時においては、通常動作モード指示信号NORMは論理Lレベルであり、AND回路GQ1-GQ4の出力信号は論理Lレベルであり、選択ゲートTQ1-TQ4は非導通状態を維持する。一方、分離ゲートIG1、IG2が導通し、内部データ信号線D1およびD2が相補信号線C1およびC2に結合され、内部データ信号線D3およびD4が、相補信号線C3およびC4に結合される。

【0210】リフレッシュモード時においては、垂直走査指示信号VOおよびVEが、択一的に論理Hレベルに駆動される。したがって、たとえば、垂直走査信号V1が論理Hレベルに駆動されたとき、垂直走査指示信号VOが論理Hレベルであれば、垂直走査信号V1Oが論理Hレベルとなる。一方、偶数垂直走査指示信号VEが、論理Lレベルに保持され、垂直走査信号V1Eは論理Lレベルである。したがって、この状態においては、奇数列の画素PX11およびPX13のサンプリングTFTが導通し内部の電圧保持容量素子が、内部データ信号線D1およびD3に結合され、一方、画素PX12および

PX14のサンプリングTFTは非導通状態にある。したがって、この状態においては、相補信号線C1およびC3に画素データ信号が伝達されセンスアンプSA1およびSA2によりセンス動作が行なわれ、その増幅された画素データ信号が対応の画素PX11およびPX13に再書込される。

【0211】一方、偶数走査指示信号VEが論理Hレベルとなると、奇数走査指示信号VOは論理Lレベルとなり、垂直走査信号V1Eが論理Lレベル、垂直走査信号V1Oが論理Lレベルとなる。この状態においては、内部データ信号線D2およびD4に画素PX12およびPX14の記憶電圧信号が伝達され、一方、内部データ信号線D1およびD3は、画素PX11およびPX13からの内部保持電圧が伝達されず、ブリチャージ電圧レベルを維持する。センスアンプSA1およびSA2を活性化することにより、画素PX12およびPX14の保持電圧を復元して、再び元の画素PX12およびPX14へ再書込することができる。

【0212】したがって、この図27に示す構成の場合、画素列に対応して1つの内部データ信号線が配列されるだけであり、各画素列に対応して、内部データ信号線対を配置する必要はなく、配線レイアウト面積を低減することができ、表示画素マトリクス占有面積を低減することができる。

【0213】図28は、垂直走査指示信号VOおよびVEを発生する部分の構成の一例を示す図である。図28において、垂直走査指示信号発生部は、リフレッシュ垂直走査開始信号STVSを、図10に示す発振回路からの発振信号φVSOを1クロックサイクル期間遅延する1クロック遅延回路160と、1クロック遅延回路160の出力信号に従ってその出力の状態を変化させるTフリップフロップ162と、Tフリップフロップ162の出力Qからの信号と通常動作モード指示信号NORMを受けて、奇数垂直走査指示信号VOを出力するOR回路164と、Tフリップフロップ162の出力/Qからの信号と通常動作モード指示信号NORMとを受けて偶数垂直走査指示信号VEを生成するOR回路165を含む。

【0214】Tフリップフロップ162は、リセット信号RSTの立上りに応答して初期化される。このリセット信号RSTは、電源投入時およびシステムリセット時に発生されるリセット信号およびリフレッシュ指示信号SELFの立上りに応答してワンショットパルスの形で発生されるリセット信号である。

【0215】図29は、図28に示す回路の動作を示すタイミング図である。以下、図29を参照して、図28に示す回路の動作について簡単に説明する。

【0216】リフレッシュ指示信号SELFが論理Hレベルに立上ると、図10に示すリフレッシュ制御回路に従って、リフレッシュ垂直走査開始信号STVSが論

理Hレベルに立上がり、垂直走査レジスタのセットが行なわれる。リセット信号RSTが論理Hレベルに立上がり、Tフリップフロップ162がリセットされ、その出力Qが論理Lレベル、出力/Qが論理Hレベルに設定される。

【0217】次いで、1クロック遅延回路160の遅延出力信号DSが、この垂直走査開始信号STVSより1クロックサイクル遅れて論理Hレベルとなると、Tフリップフロップ162の出力状態が変化し、出力Qが論理Hレベル、出力/Qが論理Lレベルとなる。通常動作モード指示信号NORMは、リフレッシュモード時論理Lレベルであり、したがって、奇数垂直走査指示信号VOが論理Hレベルとなり、偶数垂直走査指示信号VEが論理Lレベルとなる。垂直走査信号V1が論理Hレベルに立上ると、奇数垂直走査指示信号VOに従って、垂直走査信号V1Oが論理Hレベルとなる。

【0218】次いで内部でカウント動作が行なわれ、それぞれの垂直走査線の走査が完了するまで、この信号VOが論理Hレベルを維持し、一方、信号VEが論理Lレベルを維持する。最終の走査線Vmの走査が完了すると、再び、垂直走査開始信号STVSに従って1クロック遅延回路160の出力遅延信号DSが論理Hレベルとなり、Tフリップフロップ162の状態が変化し、奇数垂直走査指示信号VOが論理Lレベル、偶数垂直走査指示信号VEが論理Hレベルとなる。したがって、今度は、垂直走査信号V1に従って、図27に示す垂直走査信号V1Eが論理Hレベルとなる。

【0219】したがって、各クロックサイクルにおいて、1行に整列される画素のうち半数の画素に対するリフレッシュが実行され、1フレームの垂直走査線の走査完了後、次のフレーム期間において残りの半分の画素についてリフレッシュが実行される。リフレッシュ間隔が1行全体の画素を同時にリフレッシュする構成に較べて短くなるものの、同時に動作するセンスアンプの数は半減されるため(2列の画素に対し1つのセンスアンプ)、リフレッシュ時のピーク電流を低減でき、消費電流を低減することができる。

【0220】[変更例]

【0221】図30は、この発明の実施の形態4のリフレッシュ制御回路の変更例を概略的に示す図である。図30において、リフレッシュ制御回路は、発振信号φVSOを反転するインバータ170と、発振信号φVSOの立上りに応答してワンショットのパルス信号を発生するワンショットパルス発生回路171と、インバータ170の出力信号の立上りに応答してワンショットのパルス信号を発生するワンショットパルス発生回路172と、ワンショットパルス発生回路171および172の出力信号を受けてリフレッシュ禁止信号INHVSを生成するOR回路173と、OR回路173の出力信号の立上りに応答してセットされてブリチャージ/イコ

ライズ信号φPEをその出力Qから出力するセット／リセットフリップフロップ174と、プリチャージ／イコライズ指示信号φPEを所定時間遅延してセット／リセットフリップフロップ174をリセットする遅延回路175と、リフレッシュ禁止信号INHVSの立上りに応答してセットされかつセンスアンプ駆動信号φNをその出力Qから生成するセット／リセットフリップフロップ176と、センスアンプ駆動信号φNを所定時間遅延して出力してセット／リセットフリップフロップ176をリセットする遅延回路177と、リフレッシュ禁止信号INHVSの立上りに応答してリセットされ、かつその出力Qからセンスアンプ駆動信号φPを出力するセット／リセットフリップフロップ178と、センスアンプ駆動信号φPを所定時間遅延しかつ反転して出力してセット／リセットフリップフロップ178セットする反転遅延回路179を含む。セット／リセットフリップフロップ178は、反転遅延回路179の出力信号の立上りに応答してセットされる。

【0222】この図30に示すリフレッシュ制御回路の構成においては、発振信号φVS0の立上りおよび立下りに応答してリフレッシュ禁止信号INHVSが所定期間活性化される。応じて、プリチャージ／イコライズ指示信号φPEが所定期間活性化され、またセンスアンプ駆動信号φNおよびφPが所定期間非活性化される。したがって、発振信号φVS0の1サイクル期間内において、センス動作が2回行なわれる。

【0223】図31は、奇数および偶数垂直走査指示信号VOおよびVEを発生する部分の構成を示す図である。図31において、垂直走査指示信号発生部は、発振信号φVS0を受けるインバータ180と、発振信号φVS0と通常動作モード指示信号NORMを受けて偶数走査指示信号VEを出力するOR回路181と、インバータ180の出力信号と通常動作モード指示信号NORMを受けて偶数走査指示信号VEを生成するOR回路182を含む。リフレッシュモード時においては、発振信号φVS0が論理Hレベルの期間、奇数走査指示信号VOが論理Hレベルとなり、一方、発振信号φVS0が論理Lレベルの期間、偶数走査指示信号VEが論理Hレベルとなる。

【0224】次に、図30および図31に示す回路の動作を図32に示すタイミング図を参照して説明する。

【0225】発振信号φVS0が論理Hレベルに立上ると、ワンショットパルス発生回路171がワンショットのパルス信号を発生し、応じてOR回路173からのリフレッシュ禁止信号INHVSが論理Hレベルとなる。このリフレッシュ禁止信号INHVSの立上りに応答してセット／リセットフリップフロップ174がセットされてプリチャージ／イコライズ指示信号φPEが所定期間論理Hレベルとなる。また、セット／リセットフリップフロップ176がセットされて、センスアンプ

駆動信号φNが非活性化され、またセット／リセットフリップフロップ178がリセットされ、センスアンプ駆動信号φPが論理Lレベルに非活性化される。このリフレッシュ禁止信号INHVSの立上りに応答して選択行の垂直走査信号Viが一旦非選択状態へ駆動される。

【0226】リフレッシュ禁止信号INHVSが論理Lレベルとなると、垂直走査回路の出力する垂直走査信号Viが論理Hレベルとなる。一方、既に、この発振信号φVS0に従って、奇数走査指示信号VOが論理Hレベル、偶数走査指示信号VEが論理Lレベルであり、垂直走査信号Viの立上りに応答して、奇数垂直走査信号ViOが論理Hレベルとなる。次いで、センスアンプ駆動信号φPが論理Hレベル、センスアンプ駆動信号φNが論理Lレベルとなり、センスアンプが活性化され、奇数列の画素の保持電圧のリフレッシュが実行される。

【0227】発振信号φVS0が論理Lレベルに立下ると、再びリフレッシュ禁止信号INHVSが論理Hレベルとなり、センスアンプ駆動信号φNおよびφPがそれぞれ非活性化され、また、プリチャージ／イコライズ信号φPEが活性化される。これにより、奇数列の画素のデータが読出されていた内部データ信号線がプリチャージ状態に復帰する。発振信号φVS0の立下りに応答して、奇数走査指示信号VOが論理Lレベル、偶数走査線指示信号VEが論理Hレベルとなる。

【0228】この時、垂直走査期間は、発振信号φVS0の周期に等しく、シフト動作は垂直走査回路において行なわれていないため、再び、垂直走査信号Viがリフレッシュ禁止信号INHVSの立下りに応答して論理Hレベルとなり、応じて、偶数垂直走査信号ViEが論理Hレベルに立上がる。したがって、この垂直走査信号Viが伝達される垂直走査線に接続される偶数列の画素のデータが対応の内部データ信号線に読出され、続いてセンスアンプ駆動信号φPおよびφNが活性化されて偶数列の画素の保持電圧の復元および再書込が行なわれる。

【0229】したがって、この図30および図31に示す構成の場合、発振信号φVS0の1サイクル内で、1行の画素のリフレッシュが実行される。この構成の場合、単に垂直シフトレジスタを発振信号φVS0に従って駆動するだけであり、図10に示すバッファ56からシフトクロック信号φVSが垂直シフトレジスタへ与えられ、また、垂直走査開始信号STVSは、図10に示すOR回路61から出力される。

【0230】なお、この図28および図30に示す構成において、リフレッシュ制御回路内部でこのリフレッシュ制御信号を発生する構成に代えて、外部から、垂直シフトクロック信号および禁止信号が与えられてもよい。この場合、発振信号φVS0に代えて外部からのクロック信号VSNが与えられ、また外部からの禁止信号INHがこの垂直シフトクロック信号VSNの立上りお

よび立下がりに応答して活性化される。ここで、リフレッシュ時においてシフトクロック信号が外部から与えられる場合においても、リフレッシュ時においては、リフレッシュ禁止信号INHVSを、図30に示す構成を利用して内部で発生するようにしてもよい。

【0231】[変更例]

【0232】図33は、この発明の実施の形態4の変更例を示す図である。図33においては、表示画素マトリクスにおいて画素PX11-PX14に対応して、基準セルRX11、RX12、RX13、およびRX14が配置される。これらの基準セルRX11-RX14は、図18に示す構成と同様、画素PX11-PX14に含まれる電圧保持容量素子と同一容量値を有する基準容量素子を含む。

【0233】内部データ信号線D1-D4それぞれに対応して、導通時対応のデータ信号線D1-D4を補の共通画像データ線7bに接続する選択ゲートSQ1-SQ4が設けられる。選択ゲートTQ1-TQ4は、導通時データ信号線DL1-DL4を、共通画像データ線7aに結合する。

【0234】選択ゲートSQ1はAND回路GQ2の出力信号の活性化時導通し、選択ゲートSQ2はAND回路GQ1の出力信号が論理Hレベルのとき導通する。選択ゲートSQ3は、AND回路GQ4の出力信号が論理Hレベルのとき導通し、選択ゲートSQ4は、AND回路GQ3の出力信号が論理Hレベルのとき導通する。すなわち、隣接するデータ信号線において、一方の選択ゲートTQが導通した場合、対をなす選択ゲートSQが導通し、画素PXに画素データDを伝達し、一方、基準セルRXに対し、補の画素データ信号/Dを伝達する。

【0235】基準セルRX11およびRX13は、内部のサンプリングTFTがAND回路GAE1からの偶数走査信号V1Eにตอบสนองして導通し、それぞれの対応のデータ信号線D1およびD3上の補の画素データ信号をそれぞれの基準容量素子に格納する。一方、基準セルRX12およびRX14は、内部のサンプリングTFTがAND回路GAO1からの奇数走査信号V1Oに従って導通し、内部データ信号線D2およびD4の補の画素データ信号を対応の基準容量素子に格納する。図33に示す他の構成は、図18に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0236】この図33に示す構成においては、通常動作モード時においても、奇数および偶数垂直走査線を示す信号VOおよびVEが活性化される。したがって、各行において、半分の画素が同時に選択されて、選択画素に対するデータの書込が行なわれる。

【0237】たとえば、奇数垂直走査信号V1Oが選択状態で、水平走査信号H1が論理Hレベルの状態を考える。この状態においては、ゲート回路GQ1の出力信号

が論理Hレベルとなり、選択ゲートTQ1およびSQ2が導通する。画素PX11および基準セルRX12のサンプリングTFTが導通状態にあるため、この水平走査信号H1に従って、画素PX11および基準セルRX12に対し、それぞれ、画素データ信号Dおよび/Dが格納される。画素PX12は、偶数垂直走査信号V1Eが論理Lレベルであるため、内部のサンプリングTFTが非導通状態であり、画素PX12に対するデータの書込は行なわれない。順次、奇数水平走査線を選択状態へ駆動し、奇数列の画素PX11、PX13へ画素データ信号を書込み、対応の基準セルRX12およびRX14に対し、補の画素データ信号/Dを書込む。

【0238】次いで、この1行の奇数列の画素に対する画素データの書込が完了すると、偶数垂直走査指示信号VEが論理Hレベルとなり、応じて、偶数垂直走査信号V1Eが論理Hレベルとなる。この状態においては画素PX12およびPX14が選択され、また基準セルRX11およびRX13が選択される。偶数列に対する水平走査信号H2、H4が順次選択状態へ駆動され、画素PX12およびPX14に対し画素データ信号Dが書込まれるとき、対応の基準セルRX11およびRX13に対し補の画素データ信号/Dが格納される。

【0239】これにより、1行の画素および基準セルに対し、内部信号線を増加させることなく、相補画素データ信号を格納することができる。

【0240】リフレッシュ時においては、選択ゲートSQ1-SQ4およびTQ1-TQ4はすべて非導通状態にある（通常動作モード指示信号NORMは論理Lレベル）。この状態において、先の図18に示す構成と同様に、奇数垂直走査信号V1Oおよび偶数垂直走査信号V1Eが選択的に活性化され、応じて対をなすデータ線の画素および基準セルから相補データ信号が読出されてセンス動作および再書込が行なわれ、リフレッシュが完了する。この場合においても、信号線を増加させる相補データ信号を用いてリフレッシュを実行することができる。

【0241】図34は、垂直走査指示信号VOおよびVEを発生する部分の構成の一例を示す図である。奇数および偶数垂直走査指示信号VOおよびVEは通常動作モード時およびリフレッシュモード時において発生される。したがって、この図34に示す構成においては、垂直走査クロック信号VCKに従って奇数走査指示信号VOが生成され、一方、垂直走査クロック信号VCKを受けるインバータ180により偶数垂直走査指示信号VEが生成される。

【0242】したがって、通常動作モード時においては、この垂直走査クロック信号VCKの1サイクル内において、1行の画素に対するデータの書込が実行される。リフレッシュ時においては、先の図30に示す構成と同様にして、垂直クロック信号VCKの立上がりおよ

び立下りに応答して、リフレッシュ禁止信号 $INVHS$ が生成される。リフレッシュ制御回路の構成は、先の図 30 に示す構成を利用することができる。

【0243】図 35 は、奇数列および偶数列の書込順序を変更する部分の構成を概略的に示す図である。図 35 においては、外部からラスタスキャン順序で印加される画素データ信号 PD はデータ再配置回路 185 により、偶数列の画素および奇数列の画素のグループに並べ替えられる。すなわち、この画素再配置回路 185 において、1 行の画素データ PD を格納した後、まず奇数列の画素データ信号 D を出力し、次いで、偶数列の画素データ D を出力する。このデータ再配置回路 185 は、たとえば、1 行分の画素データを格納するシフトレジスタにより実現される。

【0244】図 36 は、この変更例における水平走査回路 3 の構成の一例を示す図である。図 36 において、水平走査回路 3 は、水平走査クロック信号 HCK と水平走査開始指示信号 STH とに従ってシフト動作を行なう奇数水平シフトレジスタ 190 と、この奇数水平シフトレジスタ 190 の出力信号を受け、次いで、水平クロック信号 HCK から順次シフト動作を行なう偶数水平シフトレジスタ 192 と、これらの奇数水平シフトレジスタ 190 および偶数水平シフトレジスタ 192 の出力信号と禁止信号 INH とを受けて水平走査信号 $H1 \sim Hfn$ を出力するバッファ 194 を含む。ここで、水平走査信号 Hfn は、水平走査における最終列に対する水平走査信号を示す。このバッファ 194 は、奇数水平シフトレジスタ 190 の出力信号を受けて奇数列に対する水平走査信号 $H1$ 、 $H3$ 、…を出力するバッファ回路と、偶数水平シフトレジスタ 192 の出力信号を受けて偶数列に対する水平走査信号 $H2$ 、 $H4$ 、…を出力するバッファ回路を含む。

【0245】したがって、この図 36 に示す構成を利用することにより、図 35 に示すデータ再配置回路 185 を利用して、奇数列に対する画素データの書込完了後、偶数列の画素に対するデータの書込を行なうことができる。

【0246】なお、この点順次走査方式に代えて、データが一括して、1 行の画素に同時に書込まれる場合においては、選択された 1 行の偶数列および奇数列の画素に対する書込を交互に垂直走査指示信号 VO および VE に従って実行することにより、容易に対応することができる。

【0247】以上のように、この発明の実施の形態 4 に従えば、隣接列の内部データ信号線を対をなすように相補信号線対に結合して画素データのリフレッシュを行なっており、配線占有面積を低減でき、応じて表示画素マトリクス占有面積を低減することができる。またセンサンプが 2 列の画素に対し 1 つ配置されるだけであり、センサンプの占有面積を低減することができ、ま

た、センス動作時の消費電流を低減することができる。
【0248】〔実施の形態 5〕

【0249】図 37 は、この発明の実施の形態 5 に従う画素の構成の一例を示す図である。図 37 においては、画素 PX は、走査線 205 上の信号に応答して導通し、導通時、内部データ信号線 206 上のデータ信号 D を取込む N チャンネル MOS トランジスタ (TFT) 200 と、MOS トランジスタ (TFT) 200 を介して与えられた電圧を保持する電圧保持容量素子 201 と、電圧保持容量素子 201 の充電電圧に従って導通し、電源線 204 上の電圧 Vdd を伝達する N チャンネル MOS トランジスタ 202 と、この MOS トランジスタ 202 を介して与えられる電流に従って発光する有機エレクトロルミネッセンス素子 (EL) 203 を含む。

【0250】この電源電圧 Vdd は、たとえば 10V であり、電圧保持容量素子 201 の電極ノードは接地電圧または電源電圧 Vdd レベルに保持される。図 37 においては、電圧保持容量素子 201 の主電極が接地ノードに接続される場合を示す。

【0251】この図 37 に示す画素 PX は、有機 EL 素子を利用しており、電圧保持容量素子 201 の充電電圧に従って、有機 EL 素子 203 に対する供給電流が形成され、その供給電流に従って有機 EL 素子 203 の発光/非発光が決定される。したがって、電圧保持容量素子 201 を用いて充電電圧により有機 EL 素子 203 を駆動する構成に対しても、先の実施の形態 1 から 4 に示す構成を利用することができる。

【0252】なお、この図 37 に示す構成において、有機 EL 素子駆動用の MOS トランジスタ 202 と有機 EL 素子 203 とは、その位置が交替されてもよい。

【0253】以上のように、この発明の実施の形態 5 に従えば画素 PX を、有機 EL 素子で構成しており、高効率の表示装置を実現することができる。また、リフレッシュ動作を行なうことにより、電圧保持容量素子 201 の充電電圧を長期にわたって安定に保持することができ、この充電電圧保持のための消費電力を低減することができる。

【0254】〔実施の形態 6〕

【0255】図 38 は、この発明の実施の形態 6 の構成を概略的に示す図である。図 38 に、図 38 において、画素 PX は、走査線 205 上の垂直走査信号 V に応答して導通し、データ信号線 206 上の画素データ信号 D をサンプリングするサンプリング TFT 210 と、サンプリング TFT 211 を介して与えられた電圧信号を保持する電圧保持容量素子 211 と、この電圧保持容量素子 211 の一方電極ノード (電圧保持ノード) 215 の電圧と対向電極 214 の間の電圧差に応じて駆動される液晶素子 212 を含む。電圧保持容量素子 215 の他方電極ノードは、共通電極ノード 213 に結合される。

【0256】この図 38 に示すように、表示画素素子と

して液晶素子212を用いる場合においても、電圧保持容量素子211の保持する電圧に応じて液晶素子212を駆動することができる。この液晶素子212は、対向電極214と電圧保持容量素子211の電圧保持ノード（画素電極）との電圧差に応じて画素駆動電圧が印加され、この画素駆動電圧に応じて液晶の配向状態が決定される。

【0257】表示画像が変化せず表示画像の保持が行なわれる場合においては、液晶素子を交流駆動することは特に要求されず、保持電圧のリフレッシュのみが要求される場合においては、先の実施の形態1から4の構成を利用して保持電圧のリフレッシュを実行することができる。しかしながら、外部メモリを用いて保持画像データの再書き込みをする場合においては、通常動作モード時と同様に、液晶素子は交流駆動される。したがって、この内部で液晶素子を駆動する保持電圧をリフレッシュする場合においてもこの外部メモリを利用する場合と同様の画像品質を維持する場合においては、液晶素子を交流駆動することが要求される。以下、サンプリングされた保持電圧に従って液晶素子を直接駆動する場合の構成および動作について説明する。

【0258】図39は、この発明の実施の形態6に従う表示装置の要部の構成を概略的に示す図である。図39においては、1列に配置される画素PXに関連する分の構成を示す。画素PX11およびPX21は、同一構成を有するため、図39においては、画素PX11の構成要素に対し参照番号を付す。画素PX11は、図38に示す構成と同様、サンプリングTFT210と、電圧保持容量素子211と、液晶素子212とを含む。

【0259】電圧保持容量素子211の主電極に対しては共通電極線を介してキャパシタ共通電圧Vcapが印加される。液晶素子212は、電圧保持容量素子211の電圧保持ノードの電圧を画素電極に受け、対向電極線上の電圧Vcntを画素駆動電圧として受ける。

【0260】画素列に対応して相補内部データ線DLおよびDRが配置され、これらの相補内部データ信号線DLおよびDRは、切換回路SGiを介して共通画像データ線7に結合される。切換回路SGiは、実施の形態1と同様、水平走査信号Hiと通常動作モード指示信号NORMと左イネーブル信号LEとを受けるAND回路21と、水平走査信号Hiと通常動作モード指示信号NORMと右イネーブル信号REとを受けるAND回路23と、AND回路21の出力信号に応答して導通し、導通時内部データ信号線DLを共通画像データ線7に結合する転送ゲート22と、AND回路23の出力信号に応答して導通し、導通時内部データ信号線DRを共通画像データ線7に結合する転送ゲート24とを含む。

【0261】画素PXは、1行おきに内部データ線DLおよびDRに交互に接続される。しかしながら、この画素PXの配置については、実施の形態1の場合と同様、

内部データ線DRおよびDLに同数個の画素が接続されていけばよい。

【0262】リフレッシュ回路において、相補信号線CLおよびCRが、閉込指示信号TRAPに応答して選択的に導通する転送ゲートTR1およびTR2を介してセンスアンプSAに結合される。さらに、リストア指示信号φINVに応答して選択的に導通し、センスアンプSAのセンス/ラッチ信号を反転して相補信号線CLおよびCRに伝達する転送ゲートTR3およびTR4が配置される。

【0263】相補信号線CLおよびCRに対しては、さらに実施の形態1等と同様、リフレッシュ指示信号SELFに応答して内部データ信号線DLおよびDRを相補信号線CLおよびCRに結合する分離ゲートIGi、プリチャージ指示信号φPEに応答して相補信号線CLおよびCRを中間電圧レベルのプリチャージ電圧VMにプリチャージしかつイコライズするプリチャージ・イコライズ回路PEQが配置される。

【0264】図39に示す構成において、画素PXの配置として、実施の形態1、2および4と同様の配置が用いられても良い。すなわち、画素PXの各列に対応して内部データ信号線を配置し、内部データ信号線の対を相補信号線対に結合しても良く、また、各画素列に画素に対応して基準セルが配置されても良い。いずれの配置においても同様の効果を得る事ができる。

【0265】通常動作モード時の動作は、実施の形態1と同様であり、垂直走査信号Viに従って、画素PXの行が選択され、次いで水平走査信号Hiに従って画素列が選択され、選択列の画素にサンプリングTFTを介して画素データ信号が書込まれ、書込まれた画素データ信号が電圧保持容量素子により保持される。液晶素子212は対応の電圧保持容量素子211により保持された電圧を画素電極に受けて、対向電極の電圧Vcntに従って駆動される。

【0266】次にリフレッシュ時の動作について、図40(A)に示すタイミングチャート図を参照して説明する。リフレッシュモードが指定されると、リフレッシュ指示信号SELFが活性化され分離ゲートIGが導通し、対応の内部データ線DLおよびDRを相補信号線CLおよびCRに結合する。リフレッシュ垂直走査開始信号STVSが、発生されると、次の垂直走査クロック信号VCKの立上がりに従って、先頭行の垂直走査信号V1が選択状態へ駆動され、この選択行の画素PXの保持電圧のリフレッシュが実行される。このリフレッシュ時において、各画素PXは、保持電圧の極性が反転される。すなわち、論理Hレベルの画素データを格納している画素は、論理Hレベルに対応する電圧レベルから論理Lレベルの画素データに対応する電圧レベルに、その保持電圧が変換される。

【0267】1フレームの画素に対するリフレッシュが

終了すると(図40(A))においては最終行に対する垂直走査信号を V_m で示す)、対向電極の電圧 V_{cnt} の極性が反転される。図40(A)においては、この対向電極電圧 V_{cnt} が、論理Hレベルから論理Lレベルに変換される状態を一例として示す。リフレッシュ時において各画素の保持画素データは、電圧極性が反転されている。したがって、この対向電極電圧 V_{cnt} の極性を反転することにより、画素PXにおいて、画素電極と対向電極との間に印加される電圧の大きさは同じであるものの、液晶素子212に印加される電圧の極性が反転し、1フレームの画素のリフレッシュ終了時において、各液晶素子が交流駆動されることになる。ただし、画素データは、論理Hレベルおよび論理Lレベルの2値データである。

【0268】1フレームの画素のリフレッシュ時において、対向電極電圧 V_{cnt} の電圧レベルが反転されるまで、各画素の保持データの論理レベルは等価的にすべて反転される。しかしながら、液晶素子の応答時間は、例えば30ms程度であり、一方、リフレッシュの周期は、例えば16ms程度であり、保持電圧の論理レベルが変化してもその液晶素子の応答がリフレッシュ周期よりも十分に短いため、表示画像に対する悪影響は生じる事はなく、画質の劣化などは生じない。

【0269】これにより、各画素の液晶素子を交流駆動して保持電圧のリフレッシュを行なうことができる。

【0270】図40(B)は、対向電極駆動部の構成の一例を概略的に示す図である。図40(B)において、対向電極駆動回路230は、垂直走査開始信号STVSと発振信号 ϕ_{VS0} を受け、対向電極電圧 V_{cnt} を生成する。発振信号 ϕ_{VS0} は、図10に示す発振回路55から出力され、垂直走査クロック信号として利用される。対向電極駆動回路230は、リフレッシュモードにおいては、垂直走査開始信号STVSが発生されると、次のサイクルにおいて最終行の画素のリフレッシュが完了し、リフレッシュ禁止信号が活性化されると、対向電極電圧 V_{cnt} の電圧極性を変更する。これにより1フレームの画素のリフレッシュ完了時において、対向電極電圧極性を変更して、リフレッシュ時において各液晶素子を交流駆動することができる。

【0271】なお、この対向電極駆動回路230は、通常動作モード時においては、垂直走査ごとに対向電極の電圧 V_{cnt} の電圧極性を切替える。従って、この対向電極駆動回路230に対しては、通常動作モード指示信号NORMと垂直走査クロック信号VCKと垂直走査開始信号STVが印加され、動作モードに応じて対向電極電圧極性の変更サイクルが変更される。

【0272】図41(A)は、この発明の実施の形態6のリフレッシュ時の動作を示す信号波形図である。以下、図41(A)を参照して、図39に示すリフレッシュ回路の動作について説明する。

【0273】リフレッシュモード時においては、発振信号 ϕ_{VS0} は、所定の周期で発振動作を行なう。この発振信号 ϕ_{VS0} に従って、垂直走査期間が決定される。発振信号 ϕ_{VS0} が立上ると、まず、図示しないリフレッシュ禁止信号INHVSに従って禁止信号INHVが所定期間論理Hレベルとなり、選択行が非選択状態へ駆動される。この禁止信号INHVの活性化にตอบสนองしてプリチャージ指示信号 ϕ_{PE} が活性化され、相補信号線CLおよびCRが所定電圧VMにプリチャージされ、また、対応の内部データ信号線DLおよびDRが分離ゲートIGiを介して相補信号線CLおよびCRに結合されており、これらの内部データ信号線DLおよびDRもプリチャージ電圧VMレベルにプリチャージされる。センスアンプ駆動信号 ϕ_P および ϕ_N も、禁止信号INHVの活性化にตอบสนองして非活性化され、センスアンプSAも応じて非活性化される。

【0274】禁止信号INHVが非活性化されると、垂直シフトレジスタの出力信号に従って、次の垂直走査線に対する垂直走査信号Viが活性化される。閉込め指示信号 ϕ_{TRAP} は、禁止信号INHVの活性化に従って論理Hレベルにあり、転送ゲートTR1およびTR2は導通状態にあり、センスアンプSAが相補信号線CLおよびCRに結合されている。この状態においては、リストア指示信号 ϕ_{INV} は非活性化状態にあり転送ゲートTR3およびTR4は非導通状態にあり、相補信号線CLおよびCRが、これらの転送ゲートTR1-TR4を介して電気的に短絡するのは防止される。

【0275】行選択信号Viが選択状態へ駆動されてから所定時間が経過すると、閉込め指示信号 ϕ_{TRAP} が活性化され、転送ゲートTR1およびTR2が非導通状態となり、センスアンプSAと相補信号線CLおよびCRとが切離される。この状態においては、既に内部データ線DLまたはDRを介して選択画素から読み出された電圧はセンスアンプSAに転送されており、転送ゲートTR1およびTR2を非導通状態にして、センスアンプSAと相補信号線CLおよびCRとを切離することにより、選択画素から転送された電圧信号(電荷)をセンスアンプのセンスノードに閉じ込める事により、センスアンプSAのセンスノードの負荷を小さくして高速でセンス動作を行なう。

【0276】センスアンプSAがセンス動作を完了し、ラッチ状態となると、リストア指示信号 ϕ_{INV} が活性化され、転送ゲートTR3およびTR4が導通し、センスアンプSAのセンスノードが逆の状態と相補信号線CLおよびCRに接続され、内部データ信号線DLおよびDRに元の読み出された画素データと逆の論理のデータ信号が伝達される。この内部データ信号線DRまたはDLに転送されたデータ信号が選択状態にあるもとの画素に書込まれる。この状態においては、選択画素に対しては、論理が反転された画素データ信号が格納される。例

えば、最初に電源電圧レベルの画素データ信号を格納していた画素は、リフレッシュ完了時においては、接地電圧レベルの画素データ信号を格納している。

【0277】発振信号φV S 0が再び立上ると、この選択行の画素に対する保持電圧のリフレッシュが完了し、内部データ信号線DLおよびDRと相補信号線CLおよびCRがブリチャージ状態に復帰し、センスアンプSAが非活性化されまた、ブリチャージ/イコライズ回路PEQが活性化される。転送ゲートTR 3およびTR 4が非導通状態となり、また、転送ゲートTR 1およびTR 2が禁止信号INHの活性化に従って導通しセンスアンプSAのセンスノードを相補信号線CLおよびCRに接続し、センスアンプSAのセンスノードがブリチャージ電圧VMにブリチャージされる。

【0278】これにより、全画素に対してリフレッシュが実行される1つのリフレッシュサイクルにおいて、全画素に対しデータ信号の論理レベルを反転して再書き込みをする事ができる。

【0279】図41(B)は、画素データ転送制御信号を発生する部分の構成の一例を示す図である。図41(B)において、リストア指示信号φINVは、センスアンプ駆動信号φPを受ける遅延回路240からの遅延センスアンプ駆動信号の立上りに応答してセットされかつ禁止信号INHの活性化に応答してリセットされるセット/リセットフリップフロップ242から出力される。遅延回路240の遅延時間は、センスアンプSAが活性化されて、そのセンス動作が完了してセンスノードの電圧が安定化するまでに要する時間以上の時間である。遅延回路240に対しては、センスアンプ駆動信号φNが与えられても良い。また、禁止信号INHが非活性化されてから所定時間経過後にこのリストア指示信号φINVが活性化されても良い。

【0280】閉込め指示信号φTRAPは、禁止信号INHの活性化に応答して所定の時間幅を有するワンショットのパルス信号を生成するワンショットパルス発生回路244から出力される。このワンショットパルス発生回路244の発生するパルス信号のパルス幅は、センスアンプ駆動信号φNおよびφPが活性化されるまでに要する時間程度である。センスアンプSAの活性化前にこの閉込め指示信号φTRAPが非活性化されても良く、またセンスアンプSAの活性化後にこの閉込め指示信号φTRAPが非活性化されても良い。センスアンプSAのセンスノードの負荷がセンス動作時に変化しセンス動作を正確に行なうことができなくなる可能性があり、好ましくは、センス動作開始前に閉込め指示信号φTRAPは非活性化される。

【0281】この閉込め指示信号φTRAPは、禁止信号INHの立上りに応答してセットされセンスアンプ駆動信号φPの立上りに応答してリセットされるセット/リセットフリップフロップの出力Qから生成され

ても良い。

【0282】なお、対向電極は、全画素に対し共通に配置されている。しかしながら、この対向電極を垂直走査線ごとに分割し、対向電極を垂直走査線単位で各リフレッシュ完了時にその電圧極性を反転する状に構成しても良い。

【0283】以上のように、この発明の実施の形態6に従えば、液晶素子を保持電圧により直接駆動する場合において、リフレッシュ時に画素の保持電圧極性を反転しかつ対向電極の電圧もリフレッシュ完了時にその極性を反転しており、低消費電流で、安定に表示画像の品質を低下させることなく、保持電圧のリフレッシュを行なうことができる。

【0284】[実施の形態7]

【0285】図42は、この発明の実施の形態7に従う表示装置の要部の構成を概略的に示す図である。図42においては、2行3列に配列される画素PX11-PX13およびPX21-PX23を代表的に示す。列方向に整列する画素に対して内部データ信号線DL1-DL3がそれぞれ配列され、行方向に整列して配置される画素に対応して、垂直走査線VL1およびVL2が配置される。

【0286】内部データ信号線DL1-DL3それぞれに対応して、列選択ゲートSGT1-SGT3が設けられる。これらの列選択ゲートSGT1-SGT3は、通常動作モード指示信号NORMと対応の水平走査信号H(H1-H3)を受けるAND回路GAと、このAND回路GAの出力信号が論理Hレベルとなると導通し、導通時対応の内部データ信号線DL(DL1-DL3)を共通画像データ線CDLに接続する転送ゲートTAを含む。

【0287】画素PX11-PX13およびPX21-PX23の各々は、同一構成を有するため、図42においては、画素PX11の構成を代表的に示す。画素PX11は、垂直走査線VL1上の垂直走査信号V1に応答して導通し、内部データ信号DL1上のデータ信号を取込むサンプリングTFT200と、このサンプリングTFT200により取込まれた電圧を保持する電圧保持容量素子201と、電圧保持容量素子とキャパシタ共通電極線222aの間に接続され、そのゲートにリフレッシュ指示信号REF1を受けるNチャネルMOSトランジスタ(TFT)250と、電圧保持容量素子201の充電電圧に応じて、電源線220から電流を供給するMOSトランジスタ202と、MOSトランジスタ202から供給される電流に応じて発光するEL素子203を含む。このEL素子203の他方電極ノードは接地ノードに結合される。

【0288】図42においては、電源線220は、各行それぞれに対応して設けられるように示すが、電源線220は全画素に対し、共通に結合される。また、キャパ

シタ電極線 222a および 222b は、各行それぞれに別々に設けられるように示す。しかしながら、これらのキャパシタ電極線 222a および 222b は、すべての画素に対し共通に結合されてもよい。キャパシタ電極線 222a および 222b の電圧は、接地電圧レベルであってもよく、電源電圧 VCC レベルであってもよく、また中間電圧レベルであってもよい。

【0289】通常動作モード時においては、通常動作モード指示信号 NORM は論理 H レベルであり、またリフレッシュ指示信号 RF1-RF2 はすべて論理 H レベルである。したがって、画素 PX11-PX13 および PX21-PX23 において、MOS トランジスタ 230 はすべて導通状態にあり、容量素子 201 の電極ノードは、キャパシタ電極線 222a および 222b にそれぞれ結合される。垂直走査線 VL (VL1 または VL2) を選択した状態で、水平走査信号 H1-H3 を順次活性化状態へ駆動することにより、画素 PX11-PX13 および PX21-PX23 に対して、画素データ信号が書込まれる。

【0290】一方、図 43 (A) に示すように、画素データ信号の保持を行なうリフレッシュモード時においては、通常動作モード指示信号 NORM は論理 L レベルに設定され、列選択ゲート SGT1-SGT3、…はすべて非導通状態となり、内部データ信号線 DL1-DL3 と共通画像データ線 CDL とは切り離される。この状態で、図 43 (B) に示すように、リフレッシュ指示信号 RF を、すべて論理 L レベルに一旦設定した後、所定の間隔で順次所定期間論理 H レベルに立上げる。このリフレッシュ指示信号 RF (RF1, RF2) が論理 L レベルのときには、画素 PX (PX11-PX13 および PX21-PX23) において、MOS トランジスタ 230 が非導通状態にあり、電圧保持容量素子 201 の主電極ノードがフローティング状態となる。この状態で、電圧保持容量素子 201 の画素データ保持電極ノード (ストレージノード) の電圧がリーク電流に応じて変化した場合、キャパシタの主電極ノード (セルプレートノードと称す) の電圧レベルも、容量結合により応じて低下する。

【0291】この状態で、図 43 (B) に示すように、電圧保持容量素子 201 のストレージノードの電圧 PVa が、リーク電流により低下した場合、この電圧保持容量素子 201 のセルプレートノードがフローティング状態にあるため、容量結合によりその電圧レベルも応じて変化する。リフレッシュ指示信号 RF1 を論理 H レベルとし、MOS トランジスタ 250 を導通状態として、セルプレートノードを、キャパシタ電極線 222 (222a, 222b) に接続する。これにより、セルプレートノードの電圧 PVb は、元のプリチャージ電圧レベルに復帰する。このセルプレートノードの電圧復帰に応じて、ストレージノードへ電荷が注入され、ストレージノ

ードの電圧 PVa は元の電圧レベルへ復帰する (サンプリング TFT 200 はオフ状態にあり、チャージポンプ動作を行なって電荷を注入できる)。したがって、この MOS トランジスタ 250 をリフレッシュ指示信号 RF に従って導通状態とすることにより、ストレージノードの流出電荷量に等しい電荷量が再びチャージポンプにより流入され、電圧保持容量素子 201 の保持電圧を元の電圧レベルに復帰させることができる。これにより、EL 素子 203 が、その供給電流により発光度が異なる階調表示であり、電圧保持容量素子 201 のストレージノードの電圧が、中間電圧レベルの場合であっても、正確に、元の電圧レベルを復元することができる。

【0292】リフレッシュ指示信号 RF1, RF2 は、垂直走査回路と同様のシフトレジスタを用いてリフレッシュモード時、発振回路を発振させ、その発振信号でシフトレジスタをシフト動作させることにより容易に生成することができる (垂直シフトレジスタの構成と同様の構成を利用すればよい)。

【0293】したがって、この図 42 に示す構成の場合、センスアンプが不要となり、単にキャパシタのチャージポンプ動作により元の電圧レベルを復元することができ、有機 EL 素子を用いて階調表示を行なう場合においても、確実に、保持電圧のリフレッシュを行なうことができる。

【0294】なお、上述の構成においては、リフレッシュ指示信号 REF が各行単位で順次活性化されている。しかしながら、全画素に対し同時にリフレッシュ指示信号を活性化しても良い。

【0295】また、この有機 EL 素子に代えて、液晶素子が用いられる場合においても、同様の構成を利用することにより、元の電圧レベルを復元することができる。液晶素子の交流駆動の場合においては、対向電極電圧の極性を変更する。

【0296】以上のように、この発明の実施の形態に従えば、有機 EL 素子の駆動電圧を保持する容量素子をチャージポンプ動作させるように構成しており、正確に、中間電圧レベルの電圧を復元することができ、低消費電力で、階調表示画素データのリフレッシュを行なうことができる。

【0297】

【発明の効果】以上、この発明に従えば、表示画素を駆動するための電圧を、内部でリフレッシュするように構成しており、外部の SRAM またはビデオメモリからリフレッシュ用の画素データ信号を読み込む必要がなく、低消費電力で、表示画素データをリフレッシュすることができる。

【0298】すなわち、表示画素データ信号をサンプリングする選択トランジスタを介して与えられる電圧を保持する保持容量素子の保持電圧を、リフレッシュ指示に応答してリフレッシュすることにより、内部で保持電圧

をリフレッシュすることができ、画素データを低消費電力で長期にわたって安定に保持することができる。

【0299】また、相補信号線に、画素の保持電圧信号を読み出し、この相補信号線の電圧を差動増幅することにより、容易に微小保持電圧をも内部で復元してリフレッシュすることができる。

【0300】また、リフレッシュ指示に応答してデータ線を相補信号線対に結合し、この相補電圧線を所定電圧レベルに保持した後に行選択回路を選択的に活性化し

て、この相補信号線対に画素データの保持電圧信号を読み出して差動増幅することにより、微小電圧信号を確実に内部で増幅して元の画素に再書き込みすることができ、内部でリフレッシュ制御をすべて行なうことができ、低消費電流で、安定に表示画素データを保持することができる。

【0301】、また、内部でリフレッシュ指示に応答してリフレッシュ要求を生成して、このリフレッシュ要求に従って、各列に対応して配置される相補信号線に画素データ信号を読み出して差動増幅する事により、各画素の保持する微小電圧信号を内部で読み出して元の画素に再書き込みをして画素データ信号を復元することができ、低消費電流で画素データ信号を長期にわたって安定に保持することができる。

【0302】また、各画素列に対応して相補データ信号が伝達されるデータ線対を配置し、これらの相補データ線対の一方に画素を接続することにより、容易にリフレッシュ時に画素データ信号に対し相補信号を生成して画素データ信号を差動増幅する事ができる。

【0303】また、隣接列のデータ線が対をなすように配置し、かつ各行に対応して2本の走査線を配置し、隣接列の画素素子を互いに異なる走査線に結合することにより、リフレッシュ時において、画素が結合される内部データ線対に対し一方のデータ線に画素データ信号を読み出すことができ、確実に通常動作モードに悪影響を及ぼすことなく、相補信号線対に画素データに応じた電圧差を生成して差動増幅することができ、配線レイアウト面積を増大させることなく元の画素データを復元することができる。

【0304】また対をなすデータ線においてさらに、相補な画素データ信号を伝達する基準セルを接続することにより、相補信号線に画素および対応の基準セルの相補データを読み出すことにより、相補信号線対に現われる電圧差を大きくすることができ、リフレッシュ間隔を長くすることができ、また安定にセンス動作を行なってリフレッシュを行なうことができる。

【0305】また、この各画素を、電圧保持容量素子の保持電圧に従って選択的に導通し、導通時共通電極を対応の画素電極に結合する駆動トランジスタと、この画素電極と対向電極の間に配置される液晶素子とで構成することにより、簡易な回路構成で、リフレッシュ時の電圧

極性を考慮することなく確実に、各画素の保持電圧をリフレッシュすることができる。

【0306】また、このリフレッシュ手段として反転増幅されたデータ信号を元の画素データに書込むとともに対向電極電圧極性を反転することにより、画素素子として、容量素子の保持電圧により直接駆動される液晶素子を用いても確実にリフレッシュ時において各液晶画素を交流駆動することができ、液晶画素のリフレッシュを正確にかつ確実に行なうことができる。

【0307】また、全画素のリフレッシュ完了後に画素の主電極の電圧極性を反転することにより、各画素のリフレッシュに悪影響を及ぼすことなくまた対向電極（主電極）を分割構造とする必要がなく、簡易な回路構成で容易に主電極（対向電極）の電圧極性の反転と画素データの論理反転とにより画素素子を交流駆動することができる。

【0308】画素素子が液晶素子であっても、リフレッシュ時において液晶素子を交流駆動することができ、確実に表示画像品質を低下させることなく、液晶画素の保持データをリフレッシュすることができる。

【0309】また、この画素を、保持容量素子の保持電圧に従って電流が供給されて発光する素子で構成することにより、容易に、このようなEL素子のような発光素子を用いる場合においても、発光素子駆動電圧をリフレッシュすることができる。

【0310】また、データ線を対をなして配置し、リフレッシュ時においては、対をなすデータ線の一方のデータ線に保持容量素子を結合し、かつ通常動作モード時においては、データ線に対応の画素の電圧保持容量素子を結合し、各データ線に伝達されたデータを書込む構成とすることにより、確実に、通常動作モードに悪影響を及ぼすことなく、各画素の保持電圧をリフレッシュすることができる。各画素列配置された内部データ線を相補信号線としてリフレッシュ時に使用することができ、配線レイアウト面積を低減することができる。

【0311】また、さらに、テストモード時に、この対をなすデータ線の電圧信号を外部へ伝達するテスト出力回路をさらに設けることにより、微小な画素の保持電圧を外部へ通常の論理レベルに増幅して出力することができ、容易に安価なテスト装置を用いて各画素の保持電圧をテストすることができる。

【0312】また、このテストモード時において、内部データ線に読み出された画素信号を差動増幅してテスト出力回路へ伝達する事により、各画素の微小保持電圧を確実に外部で検証することができる。これにより、通常のLSIテストを用いて画素の動作の良／不良を検出することができる。

【図面の簡単な説明】

【図1】 この発明に従う表示装置の全体の構成を概略的に示す図である。

【図 2】 この発明の実施の形態 1 に従う表示装置の要部の構成を概略的に示す図である。

【図 3】 図 2 に示す表示画素の構成を概略的に示す図である。

【図 4】 図 3 に示す表示画素の断面構造を概略的に示す図である。

【図 5】 図 1 に示すシフトクロック切換回路の構成の一例を示す図である。

【図 6】 図 1 に示す垂直走査回路の構成を概略的に示す図である。

【図 7】 この発明の実施の形態 1 に従う表示装置の通常動作モード時の動作を示すタイミング図である。

【図 8】 図 6 に示す垂直走査回路の動作を示すタイミング図である。

【図 9】 この発明の実施の形態 1 に従う表示装置のリフレッシュモード時の動作を示すタイミング図である。

【図 10】 図 1 に示すリフレッシュ制御回路の構成の一例を示す図である。

【図 11】 図 10 に示すリフレッシュ制御回路の動作を示すタイミング図である。

【図 12】 図 1 に示すリフレッシュ制御回路のリフレッシュ回路を制御する部分の構成の一例を示す図である。

【図 13】 図 12 に示すリフレッシュ制御回路の動作を示すタイミング図である。

【図 14】 この発明の実施の形態 1 の変更例を示す図である。

【図 15】 図 14 に示す右／左イネーブル信号を発生する部分の構成の一例を示す図である。

【図 16】 図 15 に示す右／左イネーブル信号発生部の動作を示すタイミング図である。

【図 17】 この発明の実施の形態 1 における 1 列の画素部の分割の構成を示す図である。

【図 18】 この発明の実施の形態 2 に従う表示装置の要部の構成を示す図である。

【図 19】 図 18 に示す表示画素マトリクスのリフレッシュ時のデータ線読出電圧を示す図である。

【図 20】 この発明の実施の形態 2 の変更例の要部の構成を示す図である。

【図 21】 この発明の実施の形態 3 に従う表示装置の要部の構成を概略的に示す図である。

【図 22】 この発明の実施の形態 3 に従う表示装置の要部の構成をより具体的に示す図である。

【図 23】 この発明の実施の形態 3 に従う表示装置のリフレッシュ制御部の構成の一例を示す図である。

【図 24】 図 22 および図 23 に示す回路の動作を示すタイミング図である。

【図 25】 この発明の実施の形態 3 の変更例を示す図である。

【図 26】 この発明の実施の形態 3 の変更例 2 の構成

-10

20

30

40

50

を示す図である。

【図 27】 この発明の実施の形態 4 に従う表示装置の要部の構成を示す図である。

【図 28】 図 27 に示す奇数／偶数垂直走査指示信号を発生する部分の構成の一例を示す図である。

【図 29】 図 27 に示す表示装置の動作を示すタイミング図である。

【図 30】 この発明の実施の形態 4 における表示装置のリフレッシュ制御部の構成を概略的に示す図である。

【図 31】 この発明の実施の形態 4 の変更例を示す図である。

【図 32】 図 30 および図 31 に示す回路の動作を示すタイミング図である。

【図 33】 この発明の実施の形態 4 に従う表示装置の変更例 2 の要部の構成を概略的に示す図である。

【図 34】 図 33 に示す奇数／偶数垂直走査選択信号発生部の構成の一例を示す図である。

【図 35】 この発明の実施の形態 4 におけるデータ書込部の構成の一例を概略的に示す図である。

【図 36】 この発明の実施の形態 4 の変更例 2 における水平走査回路の構成の一例を概略的に示す図である。

【図 37】 この発明の実施の形態 5 に従う画素の構成を示す図である。

【図 38】 この発明の実施の形態 6 に従う画素の構成を示す図である。

【図 39】 この発明の実施の形態 6 に従う表示装置の要部の構成を概略的に示す図である。

【図 40】 (A) は図 39 に示す表示装置のリフレッシュ時の動作を概略的に示す図であり、(B) は、図 39 に示す対向電極を駆動する部分の構成を概略的に示す図である。

【図 41】 (A) は、図 39 に示す表示装置のリフレッシュ時の内部動作を示す信号波形図であり、(B) は、図 39 に示すリストア指示信号および閉込め指示信号を発生する部分の構成の一例を示す図である。

【図 42】 この発明の実施の形態 7 に従う表示装置の要部の構成を示す図である。

【図 43】 (A) は、図 42 に示す表示装置のリフレッシュ時の動作を示す信号波形図であり、(B) は、リフレッシュ時の電圧保持容量素子の電極電圧の変化を示す図である。

【図 44】 従来の表示装置の全体の構成を概略的に示す図である。

【図 45】 従来の表示装置の画素の構成の一例を示す図である。

【図 46】 従来の表示装置における保持電圧変化を示す図である。

【図 47】 従来の表示装置における駆動電圧の変化を示す他の例である。

【図 48】 従来の表示装置の要部の構成を概略的に示

す図である。

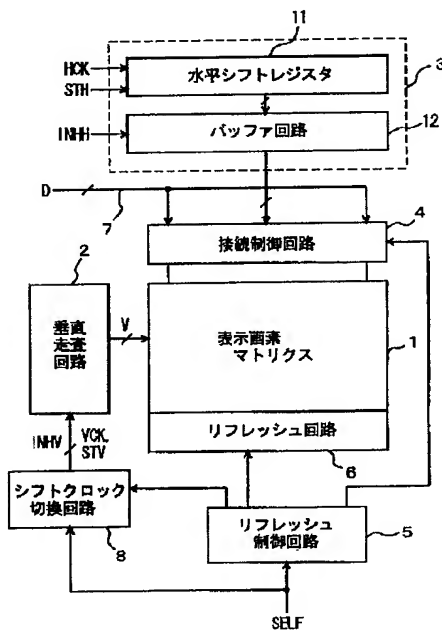
【図49】 図48に示す表示装置の動作を示すタイミング図である。

【図50】 従来の表示システムの構成の一例を概略的に示す図である。

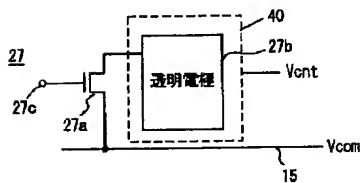
【符号の説明】

1 表示画素マトリクス、2 垂直走査回路、3 水平走査回路、4 接続制御回路、5 リフレッシュ制御回路、6 リフレッシュ回路、7 共通画素データ線、8 シフトクロック切換回路、11 水平シフトレジスタ、12 バッファ回路、PX、PX11-PX13、PX21-PX23 画素、SD1、SD2 切換回路、25 サンプリングTFT、26 電圧保持容量素子、27 液晶駆動回路、SA センスアンプ、IG、IG1、IG2 分離ゲート、PEQブリチャージ/イコライズ回路、DL1、DR1、DL2、DR2 内部*

【図1】



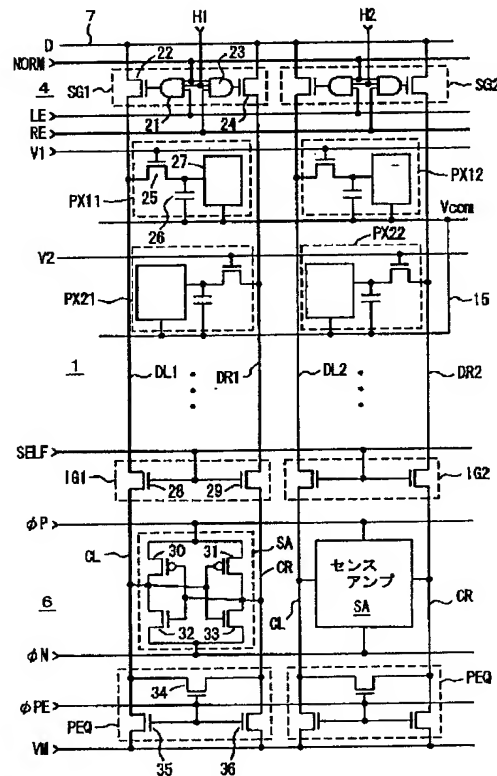
【図3】



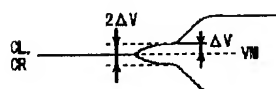
* データ信号線、CL、CR 相補信号線、27a 画素駆動TFT、27b 透明電極、40 対向電極、50

垂直シフトレジスタ、51 バッファ回路、70表示装置、71 AND回路、RX、RX1i、RX2i 基準セル、PX1i、PX2i 画素、97、98 共通画素データ線、120 リードゲート、124 出力回路、122 共通データ信号線、122a、122b 共通データ信号線、150、154 メインアンプ、152 出力回路、D1-D4 内部データ信号線、7a、7b 共通画素データ線、190 奇数水平シフトレジスタ、192 偶数水平シフトレジスタ、194 バッファ、200、210 サンプリングTFT、201、211 電圧保持容量素子、202 画素駆動TFT、203 EL素子、212 液晶素子、230 MOSトランジスタ、222a、222b 共通キャパシタ電極線、TR1-TR3 転送ゲート。

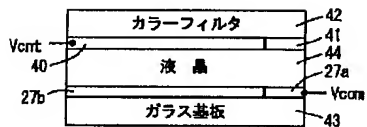
【図2】



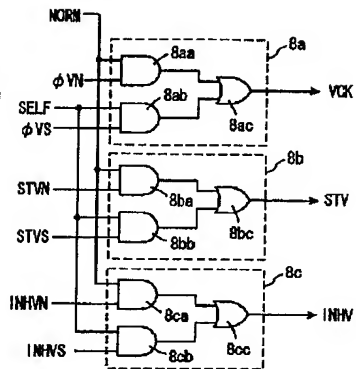
【図19】



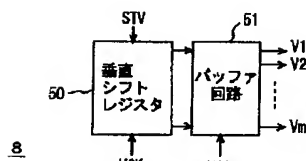
【図4】



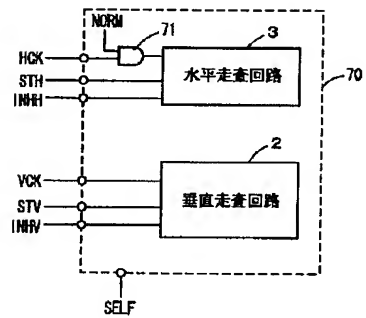
【図5】



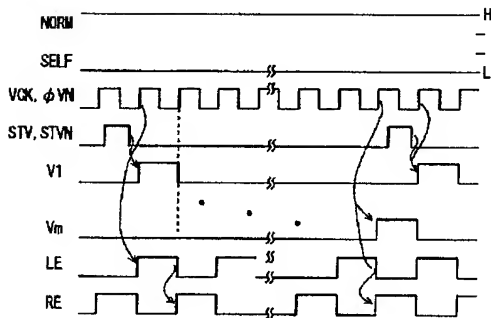
【図6】



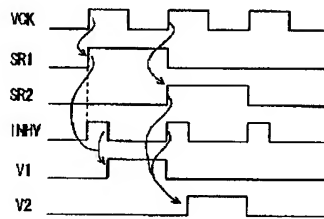
【図14】



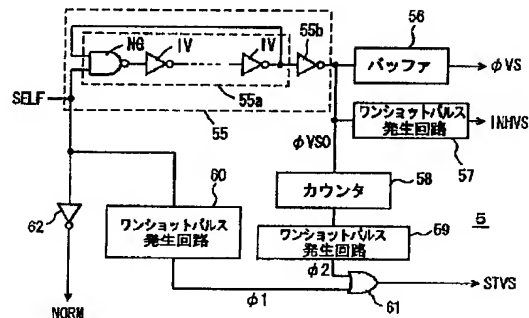
【図7】



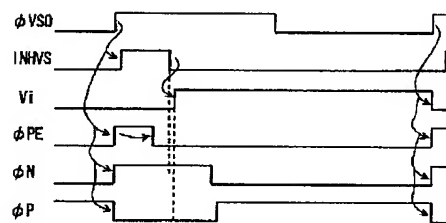
【図8】



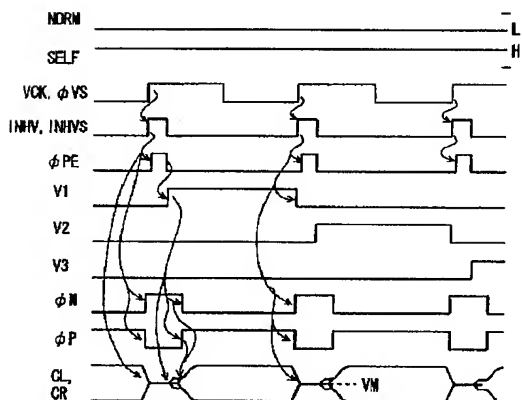
【図10】



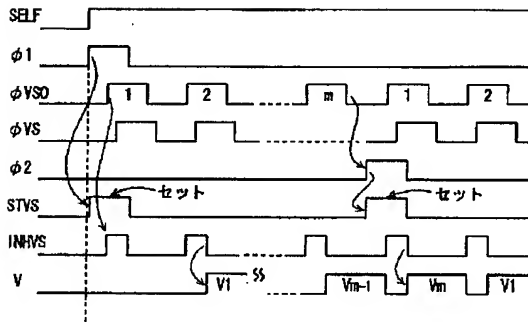
【図13】



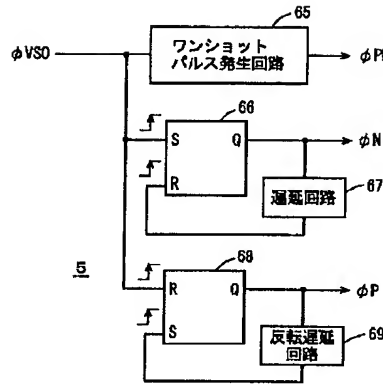
【図9】



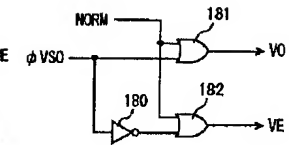
【図11】



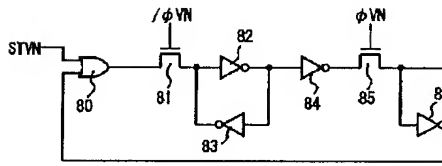
【図12】



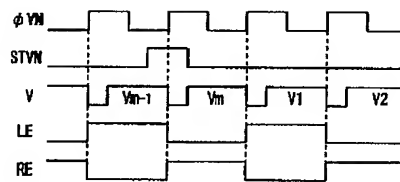
【図31】



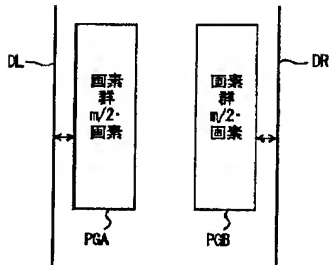
【図15】



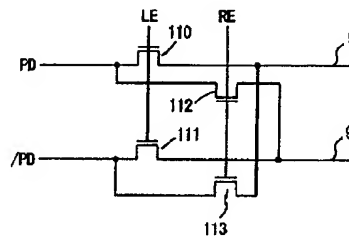
【図16】



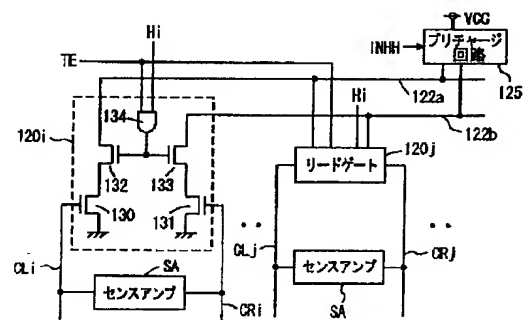
【図17】



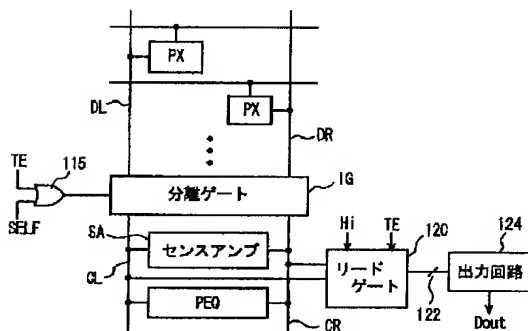
【図20】



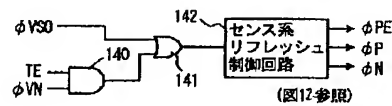
【図22】



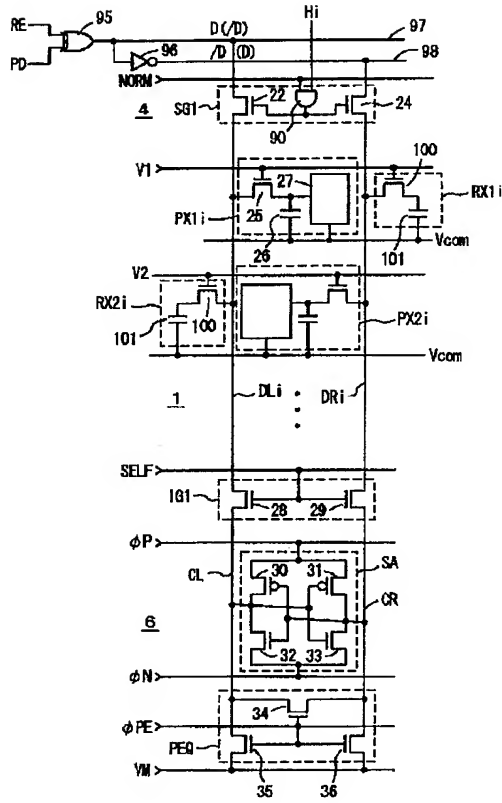
【図21】



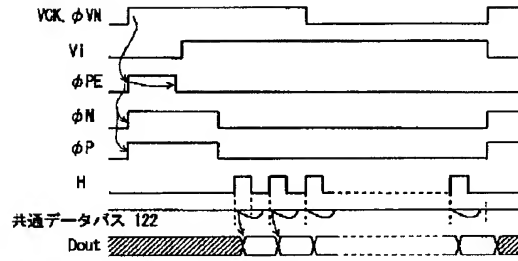
【図23】



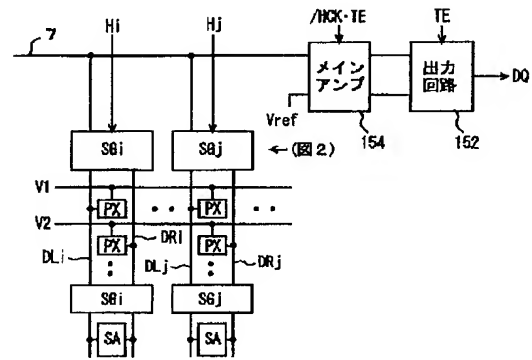
【図 18】



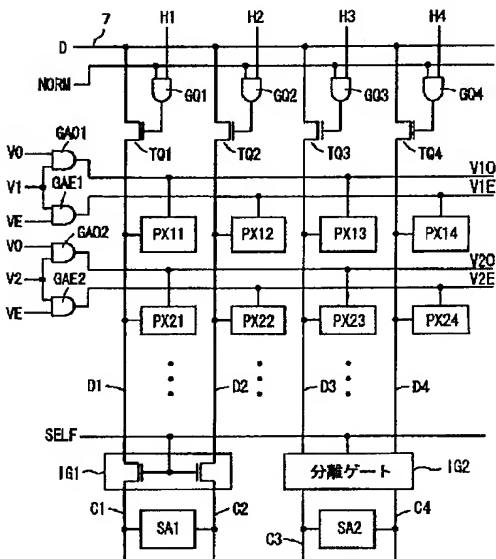
【図 24】



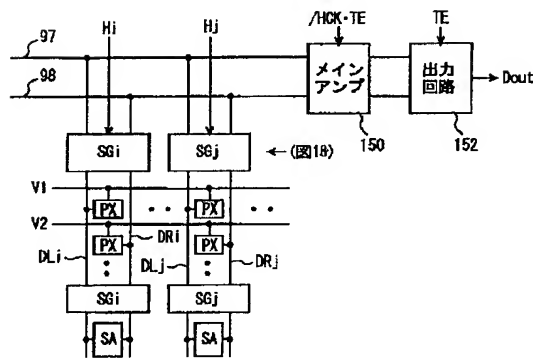
【図 26】



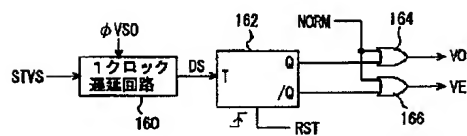
【図 27】



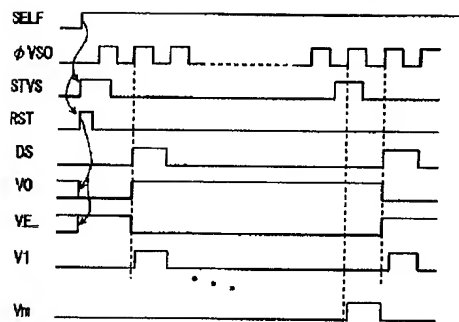
【図 25】



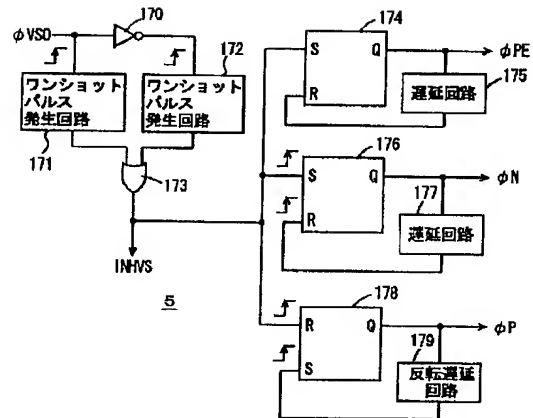
【図 28】



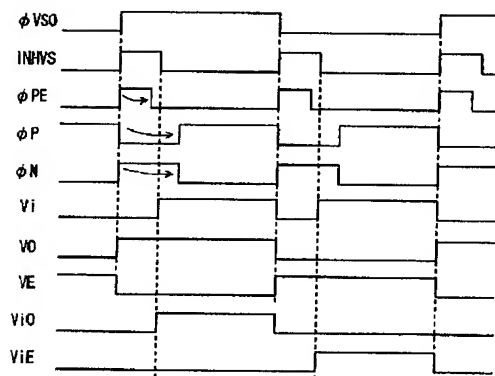
【図29】



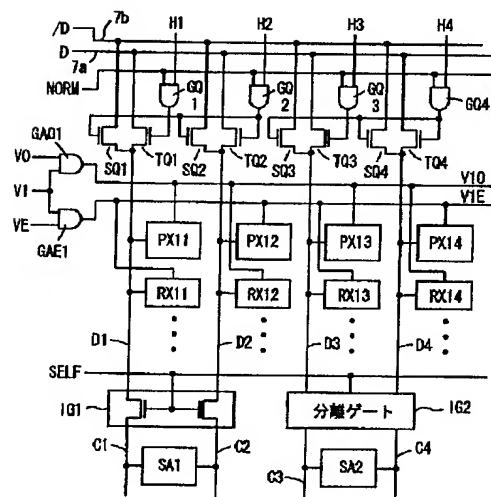
【図30】



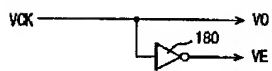
【図32】



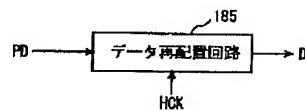
【図33】



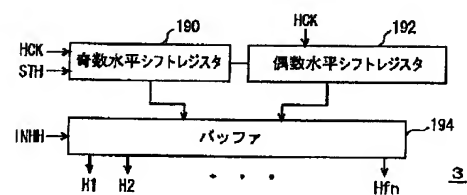
【図34】



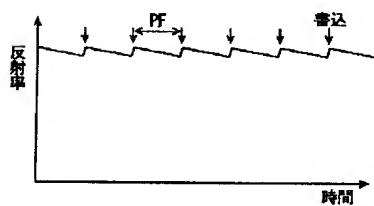
【図35】



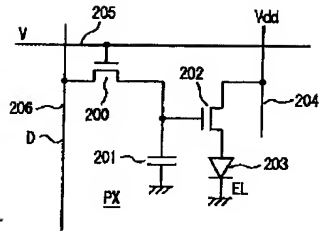
【図36】



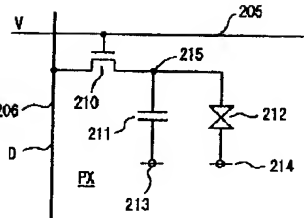
【図46】



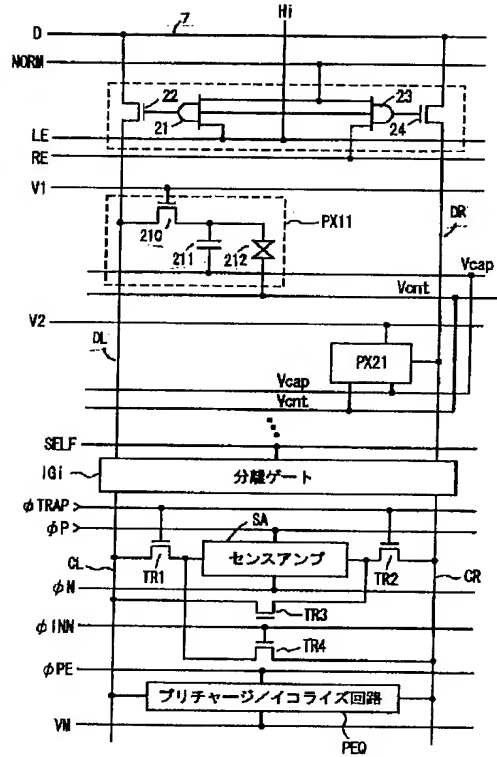
【図37】



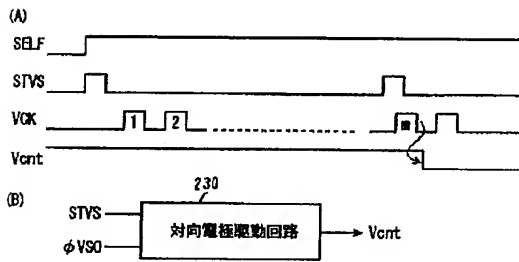
【図38】



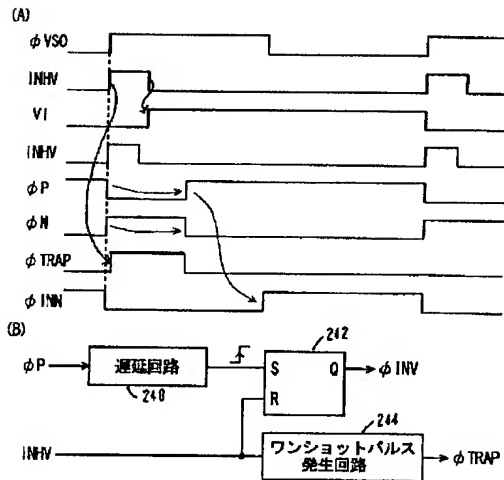
【図39】



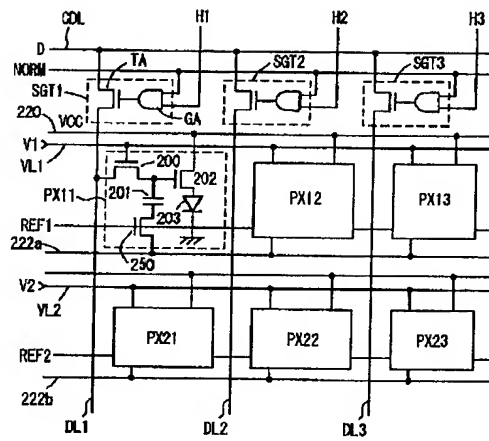
【図40】



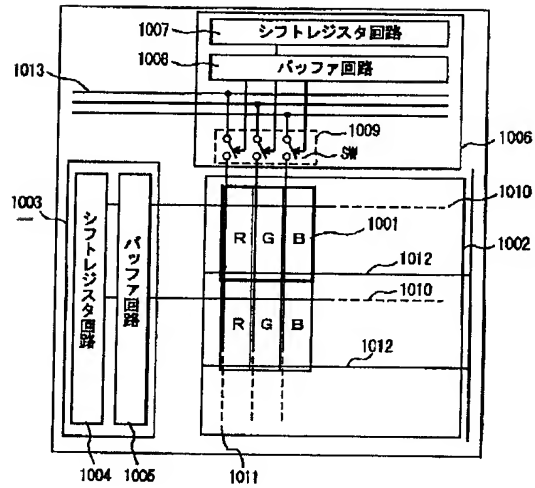
【図41】



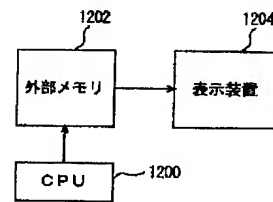
【図42】



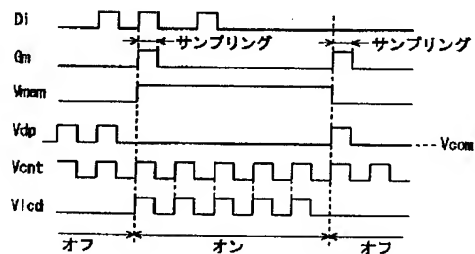
【図44】



【圖50】



【図49】



テーマコート' (参考)

6 1 1 A

6 2 4 B

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

F ターム(参考) 2H093 NA16 NA31 NA43 NC12 NC22
NC26 NC28 NC34 ND10 ND39
5C006 BB16 BC06 BF01 BF25 BF37
FA47
5C080 AA06 AA10 BB05 CC03 DD26
EE30 FF11 FF12 GG13 JJ02
JJ03 JJ04 JJ05
5C094 AA22 BA03 BA43 CA19 CA24
EA04 EA07 FB19